

Appunti di Elettronica Digitale

Capitolo 7 - Famiglie logiche

Introduzione ai circuiti integrati digitali	1
<i>Livello di integrazione</i>	1
Famiglie logiche digitali	2
Proprietà generali delle famiglie logiche	2
Sigle e caratteristiche dei circuiti integrati digitali	3
caratteristiche principali di una porta logica	6
<i>Tensione di soglia</i>	8
Porte logiche fondamentali e caratteristiche elettriche	10
Fan-Out	10
Dissipazione di potenza	12
<i>Potenza statica dissipata e potenza dinamica dissipata</i>	13
Ritardo di propagazione	15
<i>Livelli logici nei circuiti combinatori e ritardo totale di propagazione</i>	17
Margini di rumore	18
Osservazione: dispersione dei parametri in una stessa famiglia	20
Circuiti elettronici per le porte digitali base	21
Circuiti della famiglia TTL	21
Stadio open-collector	22
Stadio totem-pole	25
Porta NAND della famiglia Schottky TTL	27

INTRODUZIONE AI CIRCUITI INTEGRATI DIGITALI

I circuiti digitali sono costruiti mediante circuiti integrati. Un **circuito integrato** (brevemente **IC**) è un piccolo cristallo di semiconduttore, detto **chip**, contenente i componenti elettronici che funzionano come **porte logiche**. Le varie porte sono interconnesse internamente al chip stesso, al fine di realizzare il circuito richiesto. Il chip è montato su un contenitore di ceramica o di plastica e le connessioni sono saldate ai **pin esterni** per formare il circuito integrato. Il numero di pin può variare da 14, in un contenitore per piccoli circuiti integrati, a 64 e più per contenitori più grandi. Le dimensioni di un circuito integrato sono molto piccole: ad esempio 4 porte AND sono incluse in un contenitore da 14 pin con dimensioni di 20*8*3 millimetri. Un intero microprocessore è incluso invece in un contenitore da 64 pin con dimensioni di 50*15*4 millimetri.

Ogni circuito integrato, per essere identificato, ha una sigla stampata sulla facciata superiore del contenitore. I costruttori pubblicano manuali (**data book**) che contengono le descrizioni e tutte le informazioni necessarie per i circuiti integrati che costruiscono.

Livello di integrazione

I circuiti integrati digitali sono classificati in base alla loro complessità circuitale, che è misurata essenzialmente come numero di porte logiche nel singolo contenitore. La differenziazione tra i chip che hanno poche porte logiche interne e quelli che hanno invece centinaia o migliaia di porte è fatta attraverso la seguente terminologia convenzionale:

- **circuiti SSI** (*Small-Scale of integration*): questi circuiti contengono poche porte nel singolo chip; gli ingressi e le uscite sono connessi direttamente ai pin del chip; il numero di porte è generalmente inferiore a 10 ed è limitato dal numero di pin disponibili all'esterno del contenitore;
- **circuiti MSI** (*Medium-Scale of integration*): questi circuiti contengono un numero di porte, nel singolo chip, che va da 10 a 100; essi generalmente implementano specifiche operazioni digitali elementari, come quelle svolte da decoder, sommatore e multiplexer;
- **circuiti LSI** (*Large-Scale of integration*): il numero di porte, nel singolo chip, va in questo caso da 100 a poche migliaia; essi includono processori, chip di memoria e periferiche logiche programmabili;
- **circuiti VLSI** (*Very Large-Scale of integration*): il numero di porte, nel singolo chip, sale a diverse migliaia; esempi tipici sono grossi vettori di memoria e microcomputer alquanto complessi. Date le dimensioni ridotte, questi circuiti hanno rivoluzionato il progetto dei sistemi digitali, dando ai progettisti la possibilità di realizzare strutture che prima erano assolutamente non economiche.

FAMIGLIE LOGICHE DIGITALI

I circuiti digitali integrati sono classificati non solo per la loro complessità o per le operazioni logiche svolte, ma anche per la specifica tecnologia circuitale cui appartengono. La tecnologia circuitale individua la **famiglia logica digitale** cui il circuito appartiene.

Ogni famiglia logica ha il proprio **circuito elementare di base**, sulla base del quale gli altri circuiti e componenti digitali più complessi sono realizzati. Il circuito base in ogni tecnologia è la porta NAND o la porta NOR o la porta NOT. I componenti elettronici usati per la costruzione di queste porte di base sono generalmente usati per dare il nome alla tecnologia e quindi alla famiglia logica. Molte famiglie logiche di circuiti integrati digitali sono state introdotte, nel tempo, in commercio. Le più popolari sono le seguenti:

TTL: transistor-transistor logic

ECL: emitter-coupled logic

MOS: metal-oxide semiconductor

CMOS: complementary metal-oxide semiconductor

La famiglia TTL è stata introdotta tempo fa ed è adesso considerata come uno standard. La famiglia ECL è particolarmente indicata per sistemi che richiedono alte velocità di elaborazione. La famiglia MOS è utile per circuiti che richiedono una alta densità di integrazione, mentre la famiglia CMOS è preferibile in quei sistemi che richiedono essenzialmente un basso consumo di potenza.

PROPRIETÀ GENERALI DELLE FAMIGLIE LOGICHE

La famiglia TTL è l'evoluzione di una precedente famiglia che usava diodi e transistor per realizzare la porta elementare NAND. Questa tecnologia era chiamata **DTL**, che sta per *Diode-Transistor Logic*. Più tardi, i diodi furono sostituiti dai transistor per migliorarne le prestazioni e si passò quindi alla TTL.

I circuiti della famiglia ECL forniscono la maggiore velocità possibile tra le varie famiglie logiche. Essi sono usati in sistemi come i supercomputer o gli elaboratori digitali di segnali (DSP), dove l'alta velocità di elaborazione è essenziale.

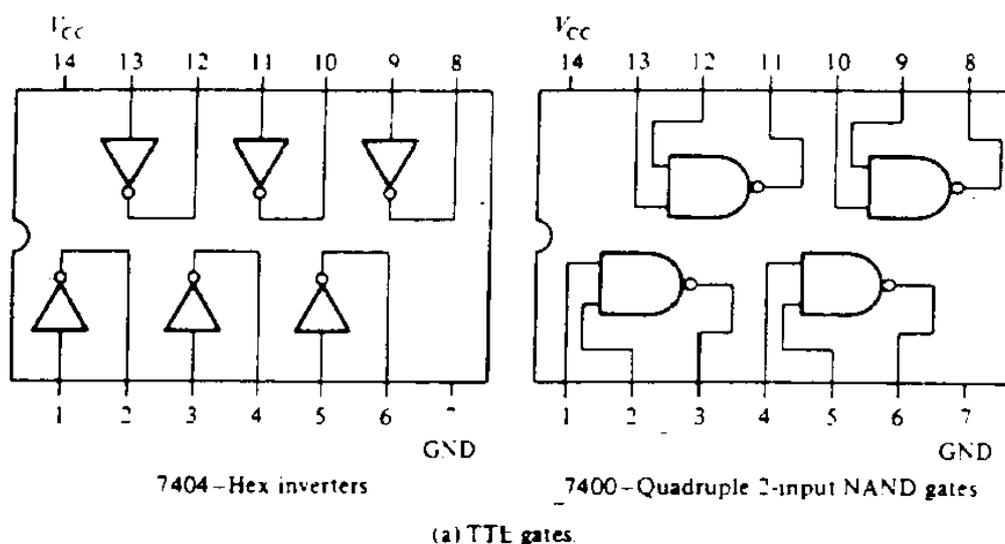
La famiglia MOS è una tecnologia di tipo unipolare (basata cioè su un solo tipo di portatori, al contrario della TTL o della ECL, che sono bipolari) : se i portatori sono elettroni, si parla di N-MOS, se invece i portatori sono le lacune allora si parla di P-MOS. Gli N-MOS sono i circuiti più comunemente utilizzati. La CMOS è una tecnologia che usa sia transistor P-MOS sia transistor N-MOS. I principali vantaggi delle famiglie MOS e CMOS, rispetto ai transistori bipolari, sono la maggiore densità di integrazione raggiungibile, un processo di fabbricazione più semplice e un minore consumo (che rende quindi più economico il funzionamento).

Le caratteristiche delle famiglie logiche sono generalmente confrontate analizzando i circuiti delle rispettive porte logiche di base. Come vedremo meglio in seguito, i principali parametri messi a confronto sono i seguenti:

- **fan-out:** esso specifica il numero di carichi standard (*standard loads*) che l'uscita della porta di base può pilotare senza pregiudicare il corretto funzionamento del sistema;
- **dissipazione di potenza:** esso specifica la potenza consumata da una porta, cioè la potenza che dobbiamo fornire alla porta mediante una alimentazione apposita;
- **ritardo di propagazione:** è il tempo necessario affinché il segnale si propaghi dall'ingresso all'uscita e determina evidentemente in modo rilevante la velocità di elaborazione (la quale è infatti inversamente proporzionale al ritardo);
- **marginale di rumore:** è la minima tensione esterna di rumore che causa un indesiderata variazione dell'uscita del circuito; serve a caratterizzare l'immunità dei circuiti al rumore elettronico ed elettromagnetico.

SIGLE E CARATTERISTICHE DEI CIRCUITI INTEGRATI DIGITALI

Lo schema logico di un generico circuito integrato è del tipo riportato nella della figura seguente:



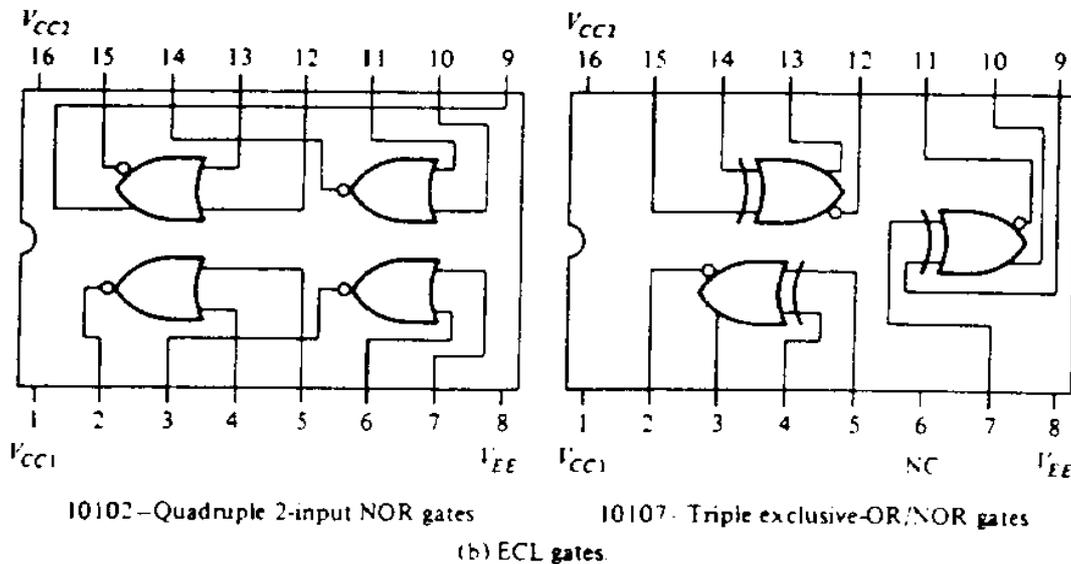
Si tratta, in questo caso, di due tipici circuiti SSI, della famiglia TTL, inclusi ciascuno in un contenitore da 14 pin. I vari pin sono numerati da 1 a 14. Dato che tali numeri non sono indicati sul contenitore reale, si inserisce, sul bordo sinistro della facciata superiore del contenitore stesso, una

tacca (*notch*) semicircolare: i pin sono numerati, sui due bordi, partendo dalla tacca e andando in senso antiorario.

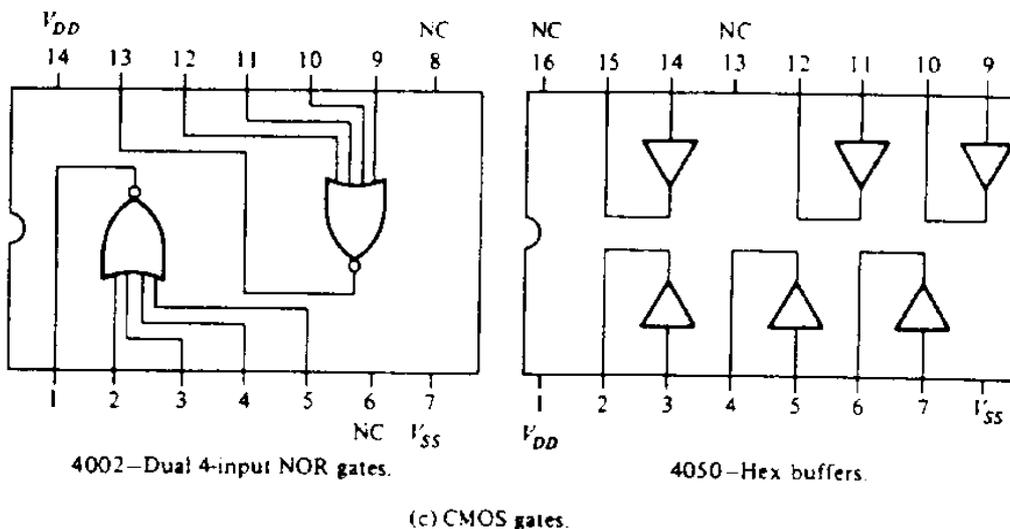
Gli ingressi e le uscite delle porte sono collegate ai pin esterni, come si nota nella figura.

Particolare importanza hanno il pin che porta l'alimentazione a tutti i circuiti presenti e il pin cui va connessa la massa comune:

- se l'alimentazione è indicata con V_{CC} e la massa con GND, come nella figura precedente, allora la famiglia considerata è una TTL; il valore di tensione di alimentazione richiesto per un corretto funzionamento è di 5V, mentre i livelli logici sono 3.5V e 0V: in logica positiva, quindi, l'1 logico corrisponderà a 3.5V, mentre lo 0 logico corrisponderà a 0V;
- se invece sono presenti tre pin di alimentazione, indicati con V_{CC2} , V_{CC1} e V_{EE} , allora la famiglia è una ECL, come nei due circuiti integrati della figura seguente:



- infine, se sono presenti un pin indicato con V_{DD} (valore da 3V a 15V, corrispondente anche al valore logico alto) uno indicato con V_{SS} (generalmente connesso a massa, corrispondente anche al valore logico basso) e due indicati con NC (*No Connection*, che indica pin da lasciare inutilizzati), allora la famiglia è una CMOS, come nella figura seguente:



Le famiglie logiche di appartenenza non vengono però distinte in base al nome dei pin, in quanto questo richiederebbe di andare a leggere lo schema logico. Ci sono invece altri metodi. Ad esempio, i circuiti integrati della famiglia TTL sono generalmente distinti dalla loro designazione numerica: la **serie 5400**, ad esempio, indica circuiti della famiglia TTL adatti per scopi militari (data la possibilità di lavorare ad alta temperatura), mentre la **serie 7400** indica circuiti TTL adatti per scopi commerciali (temperature di lavoro più basse). Parlare di *serie 7400* significa dire che i circuiti di questa serie sono numerati come 7400, 7401, 7402 e così via. Nella prima figura del paragrafo, ad esempio, è indicato il circuito **7404**, il quale contiene 6 invertitori nello stesso contenitore. Invece, il circuito numerato con 7400 contiene 4 porte NAND.

La famiglia TTL è poi divisa in varie sottofamiglie. La seguente tabella elenca il nome di tali serie e i prefissi di designazione che indicano a quale serie appartiene un dato circuito:

serie TTL	Prefisso	Esempio
Standard TTL	74	7404, 7400, 7486
High-Speed TTL	74H	74H86
Low-power TTL	74L	74L86
Schottky TTL	74S	74S86
Low-Power Schottky TTL	74LS	74LS86
Advanced Schottky TTL	74AS	74AS86
Advanced Low-power Schottky TTL	74ALS	74ALS86

Come si nota ogni circuito integrato che appartiene alla serie **TTL standard** ha un identificativo che comincia con **74**; se la serie è una **high-speed TTL**, allora l'identificativo è 74H e così via per le altre serie. Il 74 (o il 54 nel campo militare) è comunque l'identificativo della famiglia TTL in generale.

Le differenze tra le varie serie TTL sono nelle caratteristiche elettriche, come la dissipazione di potenza, i ritardi di propagazione e la velocità di commutazione. Le varie serie non differiscono, invece, per l'assegnamento dei pin o per le operazioni realizzate dai circuiti interni. Ad esempio, con riferimento alla tabella di prima, tutti i circuiti il cui identificativo termina con 86 contengono 4 porte logiche EXOR, con la stessa numerazione dei pin in ogni contenitore.

Se consideriamo adesso la famiglia CMOS, sono anche qui presenti varie serie, di cui citiamo solo la **serie 4000**: ad esempio, abbiamo il circuito **4002**, che contiene 2 porte NOR a 4 ingressi, oppure il circuito **4050**, che contiene 6 porte BUFFER. Le prime serie 4000 della famiglia CMOS furono progettate indipendentemente dalle serie TTL già esistenti. Quando la TTL divenne uno standard affermato, i costruttori cominciarono a costruire nuovi circuiti CMOS la cui disposizione dei pin (**pin-out**) fosse compatibile con quella dei corrispondenti circuiti TTL. Per esempio, il circuito **74C04** è un circuito CMOS che compatibile con i pin del circuito TTL **7404**: questo significa che il 74C04 ha 6 invertitori connessi ai pin del contenitore, secondo la stessa disposizione del circuito TTL 7404 mostrato in precedenza.

Le serie CMOS disponibili sul mercato sono indicate nella tabella seguente:

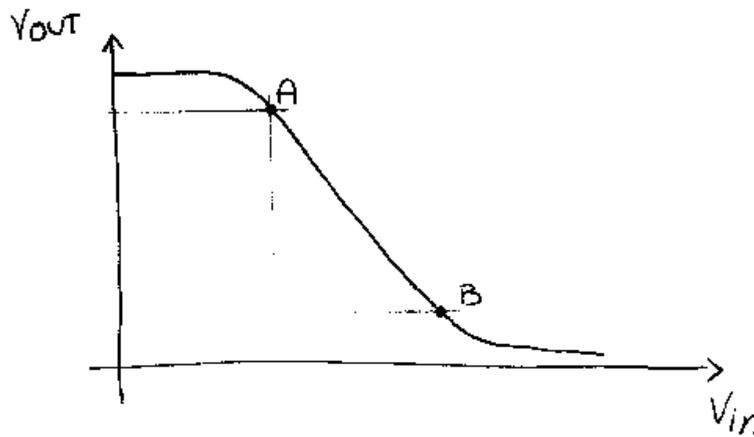
serie CMOS	Prefisso	Esempio
Original CMOS	40	4009, 4050
Pin compatibile con TTL	74C	74C04
High Speed and pin compatibile con TTL	74HC	74HC04
High Speed and elettricamente compatibile con TTL	74HCT	74HCT04

La **serie 74HC** opera a velocità maggiore rispetto alla serie 74C. La **serie 74HCT** è sia elettricamente compatibile con la corrispondente TTL sia compatibile per la disposizione dei pin: questo significa che un circuito 74HCT04 può essere connesso direttamente ad un circuito TTL senza circuiti intermedi di interfaccia.

CARATTERISTICHE PRINCIPALI DI UNA PORTA LOGICA

Abbiamo già osservato che il **circuito base** in ogni famiglia logica è o una porta NAND o una porta NOR o una porta NOT. Questo circuito base è il blocco primario fondamentale dal quale sono ottenuti tutti gli altri componenti più complessi. Vediamo allora di dare una serie di definizioni, comuni a tutte le famiglie logiche, prendendo a riferimento la porta logica più semplice, vale a dire l'INVERTER.

La tabella della verità di una porta NOT prevede semplicemente che l'uscita sia il complemento dell'ingresso. In termini di relazione tra tensione di ingresso e tensione di uscita, possiamo allora semplicemente rappresentare questa tabella della verità mediante la seguente transcaratteristica:



Questa caratteristica lega dunque la tensione di uscita al valore della tensione di ingresso.

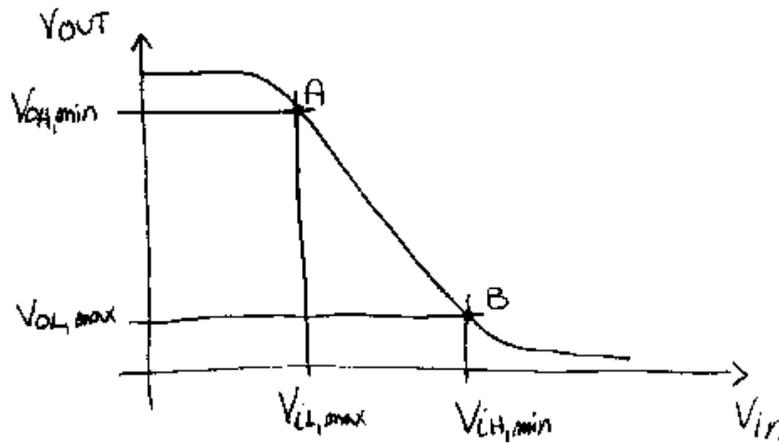
Distinguiamo due regioni in cui l'andamento della curva è praticamente orizzontale (corrispondente quindi a guadagno praticamente nullo) e una regione intermedia, compresa tra i punti A e B, in cui invece la curva presenta una pendenza (negativa) abbastanza spiccata:

$$A_v = \frac{\Delta V_{out}}{\Delta V_{in}} < 0$$

In prima approssimazione, questa quantità rappresenta il guadagno del circuito in ogni punto di lavoro compreso tra A e B; in altre parole, A_v va calcolato in ogni punto di lavoro, considerando, al posto della curva reale, la tangente nel punto di lavoro e valutando di quanto diminuisce ($\Delta V_{out} < 0$) la tensione di uscita in presenza di un piccolo aumento ($\Delta V_{in} > 0$) della tensione di ingresso.

Come già detto, nei tratti orizzontali risulta $\Delta V \cong 0$, mentre invece nella regione intermedia risulta $|A_v| \gg 1$.

Una caratteristica importante della porta NOT (come di qualsiasi altra porta) è quella di rendere distinguibili in uscita il valore logico 0 ed il valore logico 1, come anche quella di riconoscere, in ingresso gli stessi due valori logici. Per fare questo, ci considerando, sulla transcaratteristica di prima, i punti nei quali risulta $|A_v|=1$, cioè proprio i punti A e B indicati prima:



Tali punti corrispondono ai seguenti valori di tensione:

$$A \longrightarrow \begin{cases} V_{OH,min} \\ V_{IL,max} \end{cases} \qquad B \longrightarrow \begin{cases} V_{OL,max} \\ V_{IH,min} \end{cases}$$

Il significato di questi valori è il seguente:

- $V_{OH,min}$ è il minimo valore di tensione di uscita che può essere riconosciuto come 1 logico da una porta successiva;
- $V_{OL,max}$ è il massimo valore di tensione di uscita che può essere riconosciuto come 0 logico da una porta successiva;
- $V_{IL,max}$ è il massimo valore di tensione di ingresso che la porta può riconoscere come 0 logico;
- $V_{IH,min}$ è il minimo valore di tensione di ingresso che la porta può riconoscere come 1 logico.

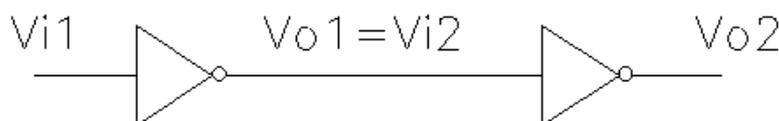
Quindi, un qualsiasi valore di tensione di ingresso compreso tra $[V_{IL,max}, V_{IH,min}]$ non potrà essere riconosciuto dalla porta come 1 logico o come 0 logico, come anche un qualsiasi valore di tensione di uscita compreso nell'intervallo $[V_{OL,max}, V_{OH,min}]$ potrà essere riconosciuto con 1 logico o come 0 logico da una porta posta immediatamente in cascata.

Le ampiezze di questi due intervalli prendono il nome di **swing massimi**:

$$\text{swing massimo di ingresso} \longrightarrow S_{IN} = V_{IH,min} - V_{IL,max}$$

$$\text{swing massimo di uscita} \longrightarrow S_{OUT} = V_{OH,min} - V_{OL,max}$$

Esiste anche una precisa relazione che deve necessariamente intercorrere tra S_{IN} ed S_{OUT} . Supponiamo infatti di porre in cascata due invertitori identici, realizzando il cosiddetto **buffer**¹:

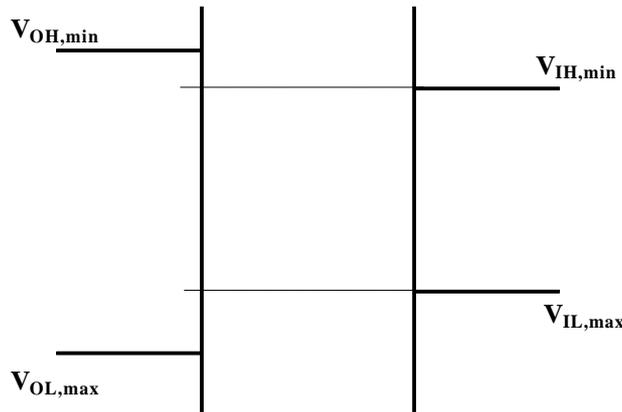


¹ Un buffer è semplicemente un circuito che presenta l'ingresso uguale all'uscita ed ha perciò come unica funzione quella di introdurre un ritardo sull'ingresso: nel caso di buffer realizzato con due invertitori in cascata, il ritardo introdotto è la somma dei ritardi introdotti da due invertitori.

Supponiamo di applicare in ingresso al primo invertitore un 1 logico, al quale quindi corrisponderà in uscita uno 0 logico, ossia ad una tensione $V_{o1} < V_{OL,max}$: questo 0 logico deve essere riconosciuto come tale all'ingresso del secondo invertitore, il che significa che deve risultare $V_{o1} = V_{i2} < V_{IL,max}$. Dato che $V_{o1} < V_{OL,max}$, deduciamo che deve risultare $V_{OL,max} < V_{IL,max}$.

Analogo discorso se applichiamo in ingresso al buffer uno 0 logico: questo diventa un 1 logico in uscita e, affinché sia riconosciuto come tale, deve risultare $V_{o1} = V_{i2} > V_{IH,min}$. Da qui consegue che deve risultare $V_{OH,min} > V_{IH,min}$.

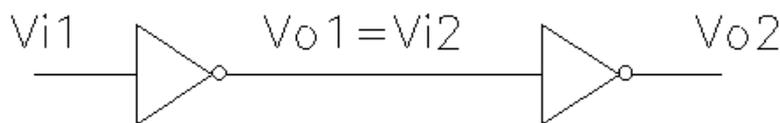
In base a queste due disuguaglianze, deduciamo che lo swing massimo di ingresso deve essere interamente contenuto in quello di ingresso:



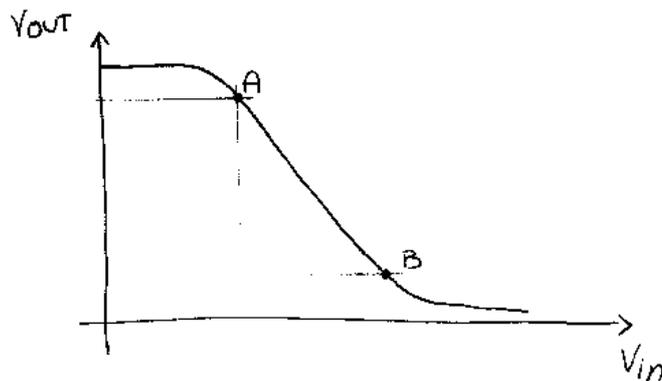
Per motivi che saranno chiari più avanti, le differenze $N_L = V_{IL,max} - V_{OL,max}$ e $N_H = V_{OH,min} - V_{IH,min}$ sono chiamati **margini di rumore**.

Tensione di soglia

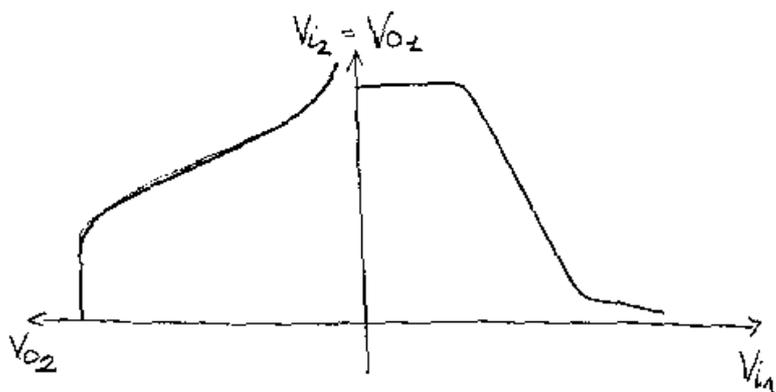
Continuiamo a considerare due invertitori in cascata, appartenenti alla stessa famiglia logica:



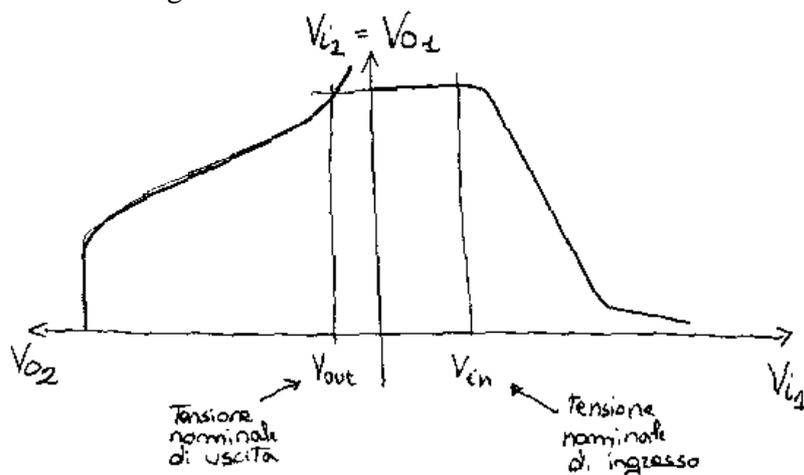
Supponiamo di conoscere il valore di tensione V_{i1} applicato in ingresso a questo circuito. Per conoscere, con discreta precisione, il corrispondente valore di tensione di uscita possiamo seguire un comodo metodo grafico. Infatti, partiamo ancora una volta dalla caratteristica $V_{O1} - V_{i1}$ che lega, per il primo invertitore, la tensione di uscita alla tensione di ingresso:



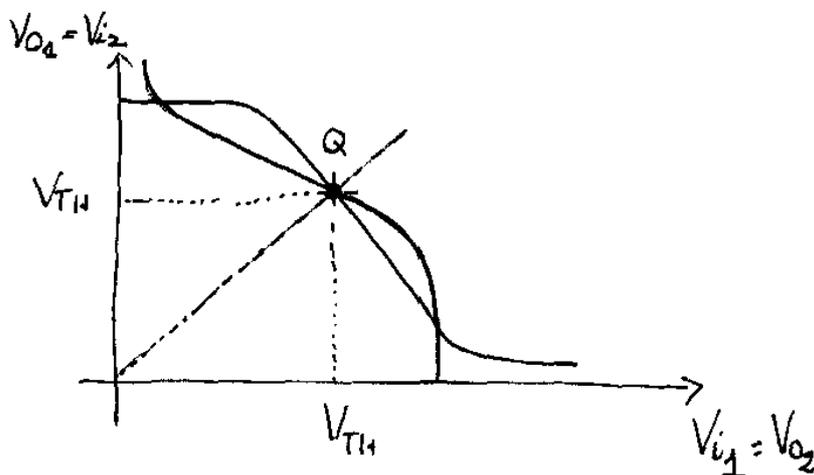
L'asse delle ordinate coincide con la tensione di ingresso della seconda porta, per cui possiamo riportare la caratteristica della seconda porta, peraltro uguale a quella della prima, prendendo come asse delle ascisse l'asse verticale e come asse delle ordinate l'asse orizzontale:



Con questo grafico siamo in grado di determinare la tensione nominale (cioè teorica) di uscita nota che sia quella nominale in ingresso. Ad esempio, supponiamo che in ingresso sia applicata una tensione V_{in} di valore basso (0 logico): a questa tensione corrisponderà, in uscita dal primo invertitore, una tensione di valore alto, la quale, facendo da ingresso per il secondo invertitore, corrisponde ad una tensione V_{out} nuovamente di valore basso in uscita da tale invertitore. La costruzione grafica è allora la seguente:



Adesso, supponiamo di modificare ulteriormente il nostro circuito, chiudendolo in retroazione, ossia cortocircuitando l'uscita e l'ingresso. In questo caso, risulta dunque non più solo $V_{o1}=V_{i2}$, ma anche $V_{o2}=V_{i1}$, per cui possiamo riportare le due caratteristiche sullo stesso piano, opportunamente disposte:



Si nota allora un punto Q di intersezione tra le due caratteristiche: questo punto Q individua, sull'asse delle ascisse, un valore di tensione che prende il nome di **tensione di soglia** e si indica con V_{TH} . Questa tensione ha una notevole importanza.

In primo luogo, in base a come abbiamo effettuato la costruzione e in base al fatto che le due curve che abbiamo intersecato sono identiche, il punto Q si trova sicuramente sulla bisettrice del quadrante, il che significa che anche in ordinate il valore di tensione corrispondente a Q è V_{TH} .

Consideriamo allora il singolo invertitore e supponiamo di applicare in ingresso una tensione leggermente inferiore a V_{TH} , ad esempio una tensione $V_{i1}=V_{TH}-\delta_1$. In corrispondenza di questa tensione, la costruzione grafica ci dice che l'invertitore dà in uscita una tensione leggermente superiore a V_{TH} , che sarà perciò del tipo $V_{o1}=V_{TH}+\delta_2$. In particolare, questo δ_2 sarà sicuramente maggiore di δ_1 , in quanto la curva presenta un guadagno (molto elevato) nel tratto che stiamo considerando.

Adesso supponiamo di porre un secondo invertitore in cascata al primo, così come abbiamo fatto prima: essendo $V_{i2}=V_{o1}=V_{TH}+\delta_2$ la tensione di ingresso a questo secondo invertitore, l'uscita sarà nuovamente al di sotto di V_{TH} , per cui sarà del tipo $V_{o2}=V_{TH}-\delta_3$. Dato che c'è sempre il guadagno da considerare tra l'ingresso e l'uscita, risulta $\delta_3 > \delta_2$. Proseguendo nel porre ulteriori invertitori in cascata, l'effetto che otteniamo è dunque quello di spostare progressivamente la tensione di uscita verso l'uno o l'altro estremo della caratteristica, ossia verso le regioni a pendenza nulla. Si arriverà così ad un numero di invertitori tale che, applicando in ingresso $V_{i1}=V_{TH}-\delta_1$, ossia una tensione corrispondente ad un valore logico non definito, l'uscita si sarà invece assestata su un valore logico ben definito.

PORTE LOGICHE FONDAMENTALI E CARATTERISTICHE ELETTRICHE

Ricordiamo ancora una volta che il **circuito base** in ogni famiglia logica è o una porta NAND o una porta NOR o una porta NOT: tale circuito base è il blocco primario fondamentale dal quale sono ottenuti tutti gli altri componenti più complessi. Per ogni famiglia logica è disponibile un **data book** che elenca le caratteristiche di tutti i circuiti della famiglia stessa.

La differenza tra le funzioni logiche disponibili per ogni famiglia logica non è tanto nelle funzioni che vengono realizzate, quanto nelle caratteristiche elettriche specifiche della porta base su cui i circuiti sono costruiti.

Vediamo allora una carrellata delle più importanti caratteristiche elettriche usate per il confronto tra famiglie logiche.

FAN-OUT

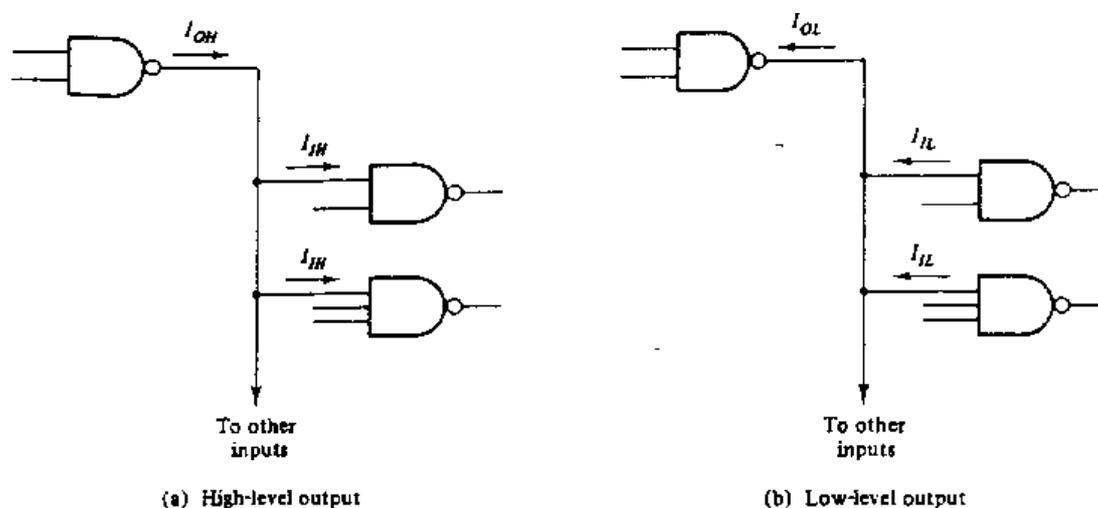
Il cosiddetto **fan-out** di una porta logica specifica il numero di **carichi standard** (*standard loads*) che possono essere connessi all'uscita della porta senza degradare il suo normale funzionamento. La dizione *carico standard* indica generalmente il valore di corrente richiesto dall'ingresso di un'altra porta appartenente alla stessa famiglia logica: ciò significa che la definizione del fan-out fa riferimento all'eventualità di pilotare, tramite la porta considerata, una serie di altre porte appartenenti però alla stessa famiglia.

E' importante definire il fan-out di una porta in quanto l'uscita di una qualsiasi porta può fornire un limitato valore di corrente per funzionare in modo corretto; se, invece, essa deve fornire una corrente maggiore di tale valore limite, allora si dice che è sovraccaricata (*overloaded*) e cessa di funzionare nel modo corretto.

Generalmente, l'uscita di una porta è connessa agli ingressi di un certo numero di altre porte: questi ingressi richiedono un certo quantitativo di corrente dall'uscita della porta, per cui maggiore è il numero di porte pilotate e maggiore è l'entità del carico sulla porta in esame. Il fan-out, allora, fissa il numero massimo di porte che possono essere pilotate da un'altra porta della stessa famiglia. Esso è dunque espresso da un numero intero (ovviamente positivo).

In pratica, esistono delle precise regole di carico (*loading rules*), specificate per ogni famiglia logica, che indicano il massimo carico consentito per ogni uscita di ogni circuito della famiglia. Se si va oltre questo massimo carico, ci possono essere malfunzionamenti nel circuito, dovuti al fatto che quest'ultimo non è in grado di fornire tutta la potenza che gli viene richiesta.

Vediamo allora come determinare il fan-out in un caso pratico. In generale, il fan-out è calcolato sulla base del valore di corrente disponibile all'uscita della porta considerata e sulla base dei valori di corrente richiesti da ogni ingresso delle altre porte. Consideriamo, per esempio, la situazione schematizzata nella figura seguente:



In entrambe le figure, abbiamo una porta NAND che pilota gli ingressi di due o più altre porte:

- nella figura (a), l'uscita della porta in esame è al livello alto di tensione, per cui eroga una corrente I_{OH} che viene assorbita dagli ingressi delle altre porte: se N sono le porte pilotate, risulta perciò $I_{OH} = N \cdot I_{IH}$, dove evidentemente gli ingressi delle varie porte assorbono tutti la stessa corrente I_{IH} , che è quella necessaria al corretto funzionamento di ciascuna di esse;
- nella figura (b), invece, l'uscita della porta in esame è al livello basso di tensione, per cui essa assorbe una corrente I_{OL} che viene assorbita fornita dagli ingressi delle altre porte: se N sono le porte pilotate, risulta in questo caso $I_{OL} = N \cdot I_{IL}$, dove evidentemente gli ingressi delle varie porte forniscono tutti la stessa corrente I_{IL} .

Allora, il fan-out della porta è calcolato come rapporto tra la corrente assorbita o ceduta dall'uscita della porta e la corrente ceduta o assorbita dalle altre porte, ossia come I_{OL}/I_{IL} oppure come I_{OH}/I_{IH} . Questi due rapporti non necessariamente sono uguali, per cui si sceglie il più piccolo per quantificare il fan-out.

Facciamo un esempio concreto di questo calcolo. Consideriamo le porte della serie **TTL standard**: tali porte hanno i seguenti valori standard delle correnti citate poco fa:

$$I_{OL} = 16\text{mA}$$

$$I_{IL} = 1.6\text{mA}$$

$$I_{OH} = 400\mu\text{A}$$

$$I_{IH} = 40\mu\text{A}$$

Per calcolare il fan-out, dobbiamo allora calcolare i due rapporti I_{OL}/I_{IL} e I_{OH}/I_{IH} e considerare il più piccolo. Tuttavia, questo è un tipico caso in cui i due rapporti sono uguali:

$$\frac{I_{OH}}{I_{IH}} = \frac{400\mu\text{A}}{40\mu\text{A}} = 10$$

$$\frac{I_{OL}}{I_{IL}} = \frac{16\text{mA}}{1.6\text{mA}} = 10$$

Quindi, concludiamo che il fan-out di una porta appartenente alla serie TTL standard è pari a 10, ossia che con una porta di questa famiglia possiamo correttamente pilotare gli ingressi di non più di altre 10 porte della stessa famiglia. Se pilotiamo più di 10 porte, la porta in esame potrebbe non essere in grado di fornire o assorbire la corrente necessaria e questo darebbe evidentemente luogo a malfunzionamenti.

DISSIPAZIONE DI POTENZA

Ogni circuito elettronico richiede, per funzionare, una certa quantità di potenza: la **dissipazione di potenza** è allora il parametro, espresso in mW, che rappresenta tale quantità di potenza. Evidentemente, tale parametro non tiene conto della potenza ricevuta da un'altra porta, ma solo della potenza che la porta in esame assorbe dall'alimentazione. Per esempio, un circuito integrato composto da 4 porte richiede dall'alimentazione una potenza che è 4 volte la potenza dissipata in ogni porta.

Il calcolo della potenza dissipata da una porta si effettua sulla base della tensione di alimentazione V_{CC} e della corrente I_{CC} che la porta assorbe dall'alimentazione: tale potenza è infatti pari al prodotto $V_{CC}I_{CC}$.

In realtà, c'è da osservare che la corrente drenata dall'alimentazione non è costante, ma dipende dallo stato logico in cui la porta si trova:

- quando l'uscita della porta è al valore alto, la porta assorbe dall'alimentazione una corrente che si indica con I_{CCH} ;
- quando invece l'uscita della porta è al valore basso, la corrente "spinta" verso l'alimentazione è I_{CCL} .

Allora, per il calcolo della potenza dissipata, si usa la media tra I_{CCH} e I_{CCL} : si considera cioè la corrente media assorbita $I_{CC} = \frac{I_{CCH} - I_{CCL}}{2}$ e quindi si calcola la **potenza media dissipata** come

$$P_D = V_{CC}I_{CC} = V_{CC} \frac{I_{CCH} - I_{CCL}}{2}$$

(dove ricordiamo che la I_{CCL} ha segno negativo in quanto è una corrente che va verso l'alimentazione).

Facciamo anche qui un esempio concreto. Consideriamo la porta NAND della serie **TTL standard**: questa porta usa una alimentazione $V_{CC}=5V$ e le correnti drenate da tale alimentazione sono $I_{CCH}=1mA$ e $I_{CCL}=3mA$. Di conseguenza, la potenza media dissipata è

$$P_D = V_{CC} \frac{I_{CCH} - I_{CCL}}{2} = 5V \cdot \frac{3mA + (-1mA)}{2} = 10mW$$

Se per esempio avessimo un circuito integrato formato da 4 porte NAND di questo tipo, la totale potenza media dissipata sarebbe allora di 40 mW.

In un sistema digitale reale, ci sono un certo numero di circuiti integrati e bisogna perciò considerare la potenza richiesta da ciascuno di essi. La potenza totale dissipata è la somma delle potenze dissipate da ciascun circuito.

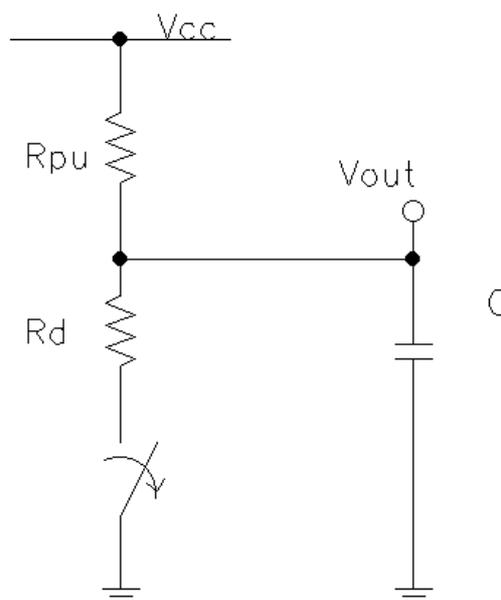
Potenza statica dissipata e potenza dinamica dissipata

Dobbiamo inoltre osservare che la potenza dissipata da un circuito logico è, in generale, di due tipi:

- parliamo di **potenza statica dissipata** quando ci riferiamo alla dissipazione in condizioni stazionarie, ossia quando l'uscita del circuito si trova ad un valore costante (alto o basso che sia);
- parliamo invece di **potenza dinamica dissipata** quando ci riferiamo alla dissipazione durante le commutazioni dell'uscita da un livello all'altro.

Ci sono circuiti, come quelli della famiglia CMOS, nei quali la potenza statica dissipata è praticamente nulla, per cui la potenza dissipata da considerare è tipicamente quella dinamica. Al contrario, ci sono altri circuiti dove c'è dissipazione di potenza statica: in questi casi, la potenza statica dissipata è sicuramente prevalente rispetto a quella dinamica, per cui quest'ultima può essere trascurata.

Possiamo anche fare qualche conto circa la potenza dinamica dissipata, facendo riferimento ad un modello estremamente semplificato di un circuito logico:



Questo modello può ad esempio rappresentare un invertitore: quando l'interruttore è aperto, la resistenza R_{pu} (**resistenza di pull-up**) drena corrente dall'alimentazione e produce la carica del condensatore, per cui la tensione ai suoi capi, ossia la tensione di uscita V_{out} , aumenta, fino ad un valore massimo che indichiamo con V_{OH} ; al contrario, quando l'interruttore è chiuso, la capacità C si scarica sulla resistenza R_d (**driver**), portando la sua tensione ad un livello minimo V_{OL} . Quindi, se assumiamo che l'interruttore aperto equivalga ad uno 0 logico in ingresso e che l'interruttore chiuso equivalga ad un 1 logico in ingresso, il circuito si comporta proprio come un invertitore.

Calcoliamo allora l'energia che viene immagazzinata nel condensatore durante il processo di carico. Chiaramente, tale energia viene interamente fornita dall'alimentazione V_{CC} : se allora indichiamo con $i(t)$ la corrente drenata dall'alimentazione durante la carica, la potenza istantanea prelevata dalla stessa alimentazione è $p(t)=V_{CC}i(t)$, da cui possiamo quindi ricavare l'energia per integrazione nel tempo:

$$\begin{aligned} E &= \int_0^{+\infty} p(t)dt = \int_0^{+\infty} V_{CC}i(t)dt = V_{CC} \int_0^{+\infty} i(t)dt = V_{CC} \int_0^{+\infty} C \frac{dv(t)}{dt} dt = V_{CC} C \int_0^{+\infty} \frac{dv(t)}{dt} dt = V_{CC} C \int_{V_{OL}}^{V_{OH}} dv = \\ &= V_{CC} C (V_{OH} - V_{OL}) \end{aligned}$$

In questo calcolo, abbiamo considerato sia il fatto che la corrente $i(t)$ fluisce direttamente dall'alimentazione alla capacità di carico, dato che l'interruttore è aperto, sia il fatto per cui la carica del condensatore richiede un certo tempo, che abbiamo assunto essere molto grande (per cui abbiamo scelto $t=+\infty$ come estremo superiore di integrazione). Abbiamo inoltre supposto che la carica abbia inizio nell'istante $t=0$.

Supponendo adesso che $V_{OH} \cong V_{CC}$ e che $V_{OL} \cong 0$, possiamo concludere che il processo di carica del condensatore fa sì che quest'ultimo immagazzini una energia pari a

$$E = V_{CC}^2 C$$

Questa è la classica formula dell'energia immagazzinata in un condensatore. Questa stessa energia viene poi trasferita e dissipata nel resistore R_D quando l'interruttore viene chiuso: se T è il tempo necessario per la scarica completa del condensatore, significa che la potenza dissipata sul resistore è

$$P_D = \frac{E}{T} = \frac{V_{CC}^2 C}{T}$$

Si tratta ovviamente di una **potenza dinamica dissipata**, in quanto viene dissipata durante una commutazione e non quando la tensione di uscita si mantiene costante. Al contrario, la potenza statica dissipata è quella che compete al resistore R_{pu} quando l'interruttore è chiuso e la tensione V_{out} è nulla: in questo caso, infatti, la tensione ai capi di R_d è nulla, mentre quella ai capi di R_{pu} è V_{CC} , per cui la potenza statica dissipata è

$$P_S = \frac{V_{CC}^2}{R_{pu}}$$

Non viene invece dissipata potenza statica, almeno in questo modello, quando l'interruttore è aperto, per cui in R_d non scorre corrente, e la tensione di uscita è costante al valore V_{CC} : in questo caso, infatti, R_{pu} ha la stessa tensione ai due morsetti per cui non è attraversata da corrente. Non ci sono quindi correnti ed il condensatore è carico a V_{CC} .

In generale, invece, la situazione è quella per cui il circuito dissipa una certa potenza statica P_H quando si trova al livello alto ed una certa potenza dinamica P_L quando si trova al livello basso.

Supponendo, allora, che l'ingresso al circuito sia periodico, per cui lo è anche l'uscita, indichiamo con τ_H e τ_L gli intervalli di tempo durante i quali l'uscita si mantiene, rispettivamente, al livello alto ed al livello basso: sotto queste ipotesi, la potenza media statica dissipata dal circuito è

$$P_s = \frac{P_H \tau_H + P_L \tau_L}{\tau_H + \tau_L}$$

Si tratta cioè di una media pesata delle potenze statiche dissipate con l'uscita a livello alto ed a livello basso. Ovviamente, anche in questo caso la potenza viene fornita dall'alimentazione e viene dissipata dalle regioni resistive presenti nel circuito.

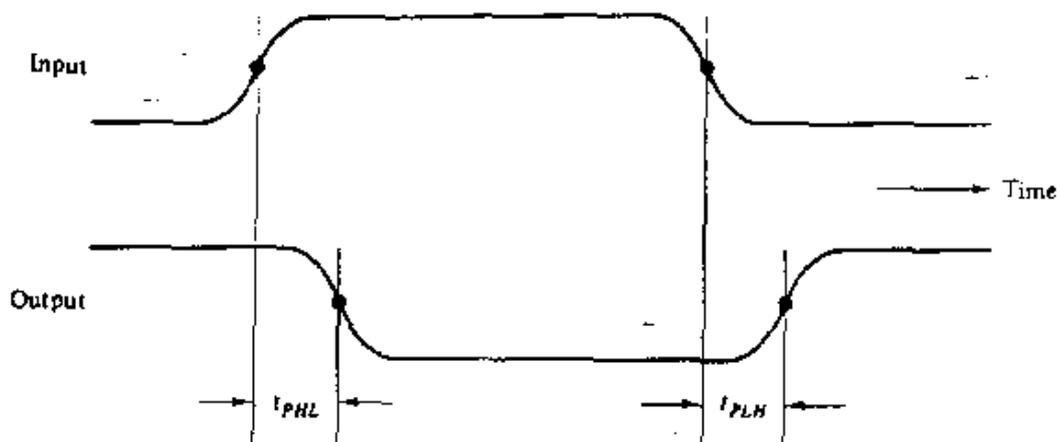
Come detto in precedenza, nei circuiti CMOS questo termine di potenza dissipata è generalmente trascurabile.

RITARDO DI PROPAGAZIONE

(pag. 403) Il *ritardo di propagazione (propagation delay)* di una porta è il tempo medio che il segnale impiega per propagarsi dall'ingresso all'uscita della porte stessa, quando c'è una commutazione del valore logico. In altre parole, dato che i segnali necessitano di un certo intervallo di tempo per propagarsi dall'ingresso all'uscita di una porta, il valore medio di tale intervallo è il **ritardo di propagazione**, misurato in nsec.

I segnali che viaggiano dagli ingressi di un circuito digitale alle uscite dello stesso circuito, devono passare attraverso una serie di porte. La somma dei ritardi di propagazione introdotti da ciascuna porta attraversata è il **ritardo totale** del circuito. Quando è importante raggiungere alte velocità di elaborazione, è dunque importante che ogni porta introduca un piccolo ritardo di propagazione che il circuito digitale nel suo complesso abbia un minimo numero di porte tra gli ingressi e le uscite.

Vediamo, da un punto di vista pratico, come si calcolare il ritardo di propagazione caratteristico di una generica porta. In primo luogo, si applica, all'ingresso della porta, un segnale che determini una transizione del livello di uscita; per esempio, consideriamo il caso di una porta NOT, in cui una variazione logica 0→1 dell'ingresso genera una variazione logica 1→0 dell'uscita e viceversa: in questo caso, possiamo allora applicare, all'ingresso della porta, un segnale inizialmente al valore logico 0 e che presenta una transizione, di durata finita, al livello logico 1. La figura seguente mostra tale segnale e la corrispondente risposta della porta:



Il segnale in ingresso teoricamente sarebbe dovuto essere un impulso rettangolare di tensione, ma nella pratica esso è irrealizzabile, per cui abbiamo fatto riferimento ad una forma d'onda che approssima tale impulso rettangolare.

Lo studio del ritardo di propagazione si effettua confrontando, nel modo seguente, la forma d'onda in ingresso e la forma d'onda in uscita:

- si definisce **tempo di ritardo alto-basso** il tempo t_{PHL} che intercorre tra l'istante in cui l'ingresso raggiunge, in salita, il 50% del valore alto e l'istante in cui l'uscita raggiunge, in discesa, il 50% del valore alto;
- si definisce invece **tempo di ritardo basso-alto** il tempo t_{PLH} che intercorre tra l'istante in cui l'ingresso raggiunge, in discesa, il 50% del valore alto e l'istante in cui l'uscita raggiunge, in salita, il 50% del valore alto;

In pratica, questi tempi di ritardo quantificano il tempo necessario affinché l'uscita si porti al 50% del valore finale.

In generale, questi due tempi non sono uguali ed entrambi variano con le condizioni di carico della porta considerata. Allora, per quantificare il **ritardo di propagazione** della porta, si fa anche in questo caso una media dei due parametri:

$$t_p = \frac{t_{PHL} + t_{PLH}}{2}$$

Facciamo un esempio: facendo sempre riferimento ad una porta **TTL standard**, i tempi di ritardo forniti dai *databook* (misurati con una resistenza di carico di 400Ω e con una capacità di carico di 15 pF) sono dell'ordine di 7ns in discesa (t_{PHL}) e di 11 ns in salita (t_{PLH}). La media di questi tempi è allora di 9 ns, che quindi è assunto come valore del ritardo di propagazione.

In particolari condizioni di funzionamento, può essere più importante conoscere il valore massimo del ritardo di propagazione più che il valore medio. Allora, i *databook* della famiglia TTL elencano anche i valori massimi di t_{PHL} e t_{PLH} , che sono rispettivamente dell'ordine di 15ns e 22ns. Questi valori vanno tenuti in debito conto quando la velocità di elaborazione è di importanza fondamentale.

Osserviamo infine che ci sono altri parametri per caratterizzare la risposta di un circuito ad una sollecitazione di uscita. Tali parametri, misurati sulla forma d'onda di uscita del circuito, sono quelli che si usano normalmente in Elettronica Applicata, ossia i seguenti:

- **tempo morto**: è il tempo tra l'istante di applicazione della sollecitazione in ingresso e l'istante in cui l'uscita comincia a variare in risposta a tale sollecitazione. Questo tempo morto è praticamente assente in quei circuiti il cui comportamento dinamico è caratterizzato da 1 sola costante di tempo, mentre è sempre presente quando le costanti di tempo sono più di una (come avviene praticamente sempre);
- **tempo di salita**: con riferimento ad una transizione dell'uscita dal valore basso al valore alto, è il tempo necessario affinché l'uscita passi dal 10% al 90% del valore alto;
- **tempo di discesa**: con riferimento ad una transizione dell'uscita dal valore alto al valore basso, è il tempo necessario affinché l'uscita passi dal 90% al 10% del valore alto; è il duale del tempo di salita.

A questi parametri se ne può aggiungere ancora un altro, che è il cosiddetto *tempo di ciclo*. Per valutare questo parametro, bisogna applicare in ingresso alla porta considerata un segnale periodico, tipicamente un'onda quadra che oscilla tra un valore basso ed un valore alto, con un assegnato duty cycle. Inizialmente, si considera un'onda quadra di periodo abbastanza lungo (quindi di bassa frequenza), in modo tale che il circuito sia in grado di rispondere a tale sollecitazione: con questo

intendiamo dire che le transizioni dell'ingresso devono essere sufficientemente distanziate da consentire al circuito di raggiungere, di volta in volta, una condizione di regime, caratterizzata cioè o da un valore alto stabile o da un valore basso stabile.

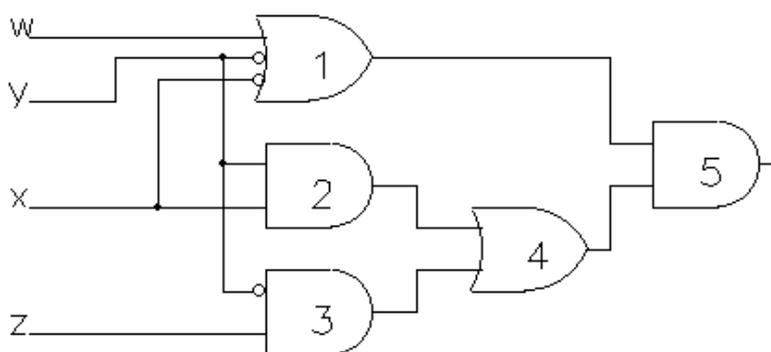
Successivamente, si va via diminuendo il periodo dell'ingresso, osservando la corrispondente capacità di riposta del circuito. Man mano che il periodo diminuisce, il circuito ha sempre maggiori difficoltà nel seguire le transizioni di ingresso e si arriva perciò al punto in cui tali transizioni avvengono in modo così ravvicinato che il circuito non ha mai il tempo di raggiungere né il valore alto né il valore basso.

Si definisce allora **tempo di ciclo** (indicato con τ) il minimo periodo dell'ingresso necessario affinché il circuito possa rispondere raggiungendo, ogni volta, il completo valore alto e/o il completo valore basso.

L'inverso del tempo di ciclo è una frequenza che può essere anche usata per caratterizzare la risposta in frequenza del circuito: per esempio, le attuali porte CMOS rispondono in modo accettabile fino a frequenze dell'ordine di qualche centinaio di MHz.

Livelli logici nei circuiti combinatori e ritardo totale di propagazione

I segnali di ingresso per molti circuiti digitali sono spesso applicati simultaneamente a più di un ingresso. Consideriamo, ad esempio, il seguente semplice circuito combinatorio:



I segnali di ingresso w, y, x, z vengono applicati contemporaneamente alle porte 1, 2 e 3, che quindi costituiscono il *primo livello logico* del circuito. In generale, quindi il **primo livello logico** di un circuito è costituito da tutte le porte che sono connesse direttamente agli ingressi.

Le porte che ricevono almeno 1 ingresso dall'uscita di una porta del primo livello costituiscono invece il **secondo livello logico** del circuito. Nell'esempio considerato, si tratta delle porte 4 e 5. Possono esserci poi ulteriori porte che costituiscono il **terzo livello logico**: ognuna di esse dovrà ricevere almeno 1 ingresso proveniente dall'uscita di una porta del secondo livello e così via per gli ulteriori livelli.

Nell'ipotesi che tutte le porte introducano lo stesso ritardo, il **ritardo totale di propagazione** del circuito è pari, approssimativamente, al ritardo di propagazione della generica porta, moltiplicato per il numero di livelli logici che costituiscono il circuito.

Di conseguenza, una riduzione del numero di livelli logici genera sicuramente una riduzione del ritardo di propagazione e quindi consente di ottenere circuiti più veloci. A volte, la riduzione del numero di livelli logici può risultare anche più importante della riduzione del numero totale di porte logiche da cui è costituito il circuito.

MARGINI DI RUMORE

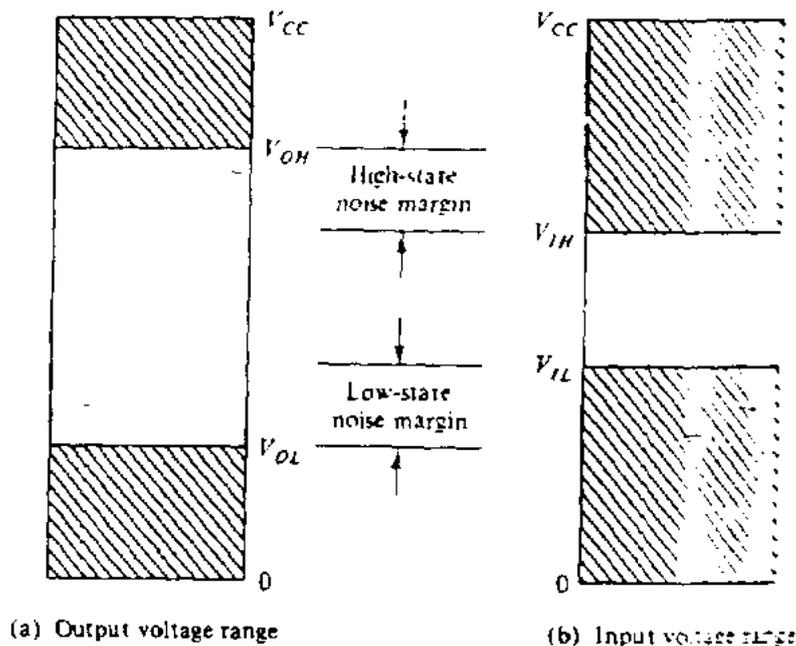
(pag. 404) Segnali elettrici spuri, provenienti da svariate sorgenti, possono indurre tensioni indesiderate nei conduttori di collegamento (*connecting wires*) tra i dispositivi che costituiscono un circuito logico. Questi segnali indesiderati vengono tutti classificati come **rumore**.

Ci sono due tipi di rumore da considerare:

- il **rumore in continua** (*DC noise*) è causato da impulsi su livello di tensione di un segnale;
- il **rumore in alternata** (*AC noise*) è invece un impulso casuale che può essere prodotto da altri segnali alternati.

In generale, comunque, *rumore* è un termine usato per indicare un segnale indesiderato che si è sovrapposto al segnale del normale funzionamento di un circuito. Allora, il **margin** di rumore è la massima tensione di rumore (per cui si misura in V), sovrapposta al segnale utile di un circuito digitale, che non causa un'indesiderata variazione dell'uscita del circuito. In altre parole, finché la tensione di rumore non supera il valore numerico del margine di rumore, il circuito funziona normalmente, ossia non risente del rumore; se, invece, la tensione di rumore supera il margine di rumore, allora il funzionamento del circuito viene pregiudicato, in quanto il rumore genera indesiderate variazioni dei livelli logici di uscita.

Vediamo come determinare il margine di rumore di una generica porta logica. Facciamo riferimento alla figura seguente:



In primo luogo, si considerano particolari valori di tensione di uscita: V_{OH} è il valore minimo riconoscibile come valore logico alto, mentre il valore V_{OL} è il valore massimo riconoscibile come valore logico basso. In altre parole, un qualsiasi livello di tensione compreso nell'intervallo $[V_{OH}, V_{CC}]$ è riconosciuto come valore logico alto, mentre un qualsiasi livello di tensione compreso nell'intervallo $[0, V_{OL}]$ è riconosciuto come valore logico basso. Tutti i livelli di tensioni compresi nell'intervallo $[V_{OL}, V_{OH}]$ corrispondono invece a valori logici indeterminati e non compaiono mai nelle normali condizioni di funzionamento, salvo, ovviamente, durante le transizioni tra un livello logico e l'altro.

Stesso discorso si fa per i valori di tensione in ingresso: un qualsiasi livello di tensione compreso nell'intervallo $[V_{IH}, V_{CC}]$ è riconosciuto in ingresso come valore logico alto, mentre un qualsiasi livello di tensione compreso nell'intervallo $[0, V_{IL}]$ è riconosciuto in ingresso come valore logico

basso; tutti i livelli di tensioni compresi nell'intervallo $[V_{IL}, V_{IH}]$ corrispondono invece a valori logici in ingresso che rimangono indeterminati.

A questo punto si confrontano questi valori di tensione, definendo i margini di rumore nel modo seguente:

$$\text{margine superiore di rumore} \longrightarrow N_H = V_{OH} - V_{IH}$$

$$\text{margine inferiore di rumore} \longrightarrow N_L = V_{IL} - V_{OL}$$

Il significato di tali valori è abbastanza evidente: supponiamo di avere due porte in cascata e supponiamo che la prima porta abbia in uscita un livello di tensione V_{out} esattamente coincidente con V_{OH} , ossia un livello logico alto; supponiamo, inoltre, che, per cause imprecise, il livello V_{out} di tensione subisca una riduzione ΔV , andando al di sotto di V_{OH} : affinché la seconda porta continui a riconoscere V_{out} come livello logico alto, il margine è appunto di N_H volt al di sotto di V_{OH} . Se la riduzione ΔV supera il margine N_H , la seconda porta legge in ingresso un valore di tensione $V_{out} - \Delta V$ compreso nell'intervallo $[V_{IL}, V_{IH}]$ e non perciò in grado di determinare se tale tensione corrisponde ad un livello logico alto oppure basso.

Analogo discorso vale ovviamente se l'uscita della prima porta è al valore V_{OL} : un eventuale aumento indesiderato di tale tensione non deve superare il valore N_L , in quanto, in caso contrario, la seconda porta sarebbe nuovamente impossibilitata ad optare con certezza per il valore logico basso o quello alto.

A questo punto, è evidente che è importante aumentare il più possibile i margini di rumore, il che significa distanziare il più possibile i valori di tensione in uscita ed in ingresso.

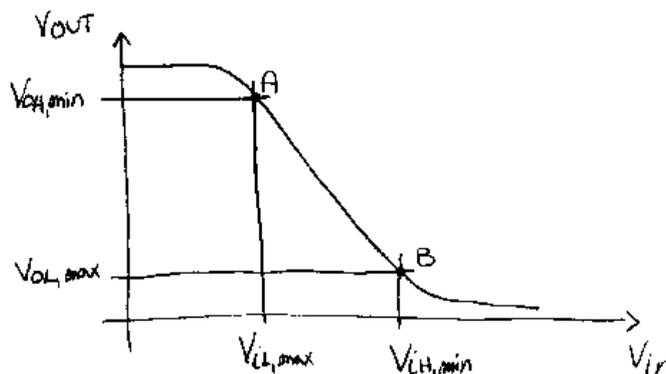
Facciamo anche questa volta un esempio concreto, riferendoci alla porta NAND della serie **TTL standard**: per questa porta, i valori di tensione, in uscita ed in ingresso, sono 2.4V e 0.4V per l'uscita e 2V e 0.8V per l'ingresso. Di conseguenza, i margini di rumore sono

$$N_H = V_{OH} - V_{IH} = 2.4V - 2V = 0.4V$$

$$N_L = V_{IL} - V_{OL} = 0.8V - 0.4V = 0.4V$$

Questo è dunque un caso particolare in cui i due margini sono uguali. In generale, tali margini sono diversi: quando questo accade, si preferisce generalmente assumere, come valore del **margine di rumore**, il valore del più piccolo tra N_H ed N_L , in modo da mettersi nelle condizioni peggiori (nel senso che, se si riesce a garantire un corretto funzionamento del circuito nelle condizioni peggiori, allora il funzionamento sarà effettivamente quello in qualsiasi altra condizione).

I valori dei margini di rumore dipendono da vari fattori. Tra questi citiamo lo swing logico di uscita $S_{OUT} = V_{OH, \min} - V_{OL, \max}$: è evidente, infatti, che, al crescere di S_{OUT} rispetto allo swing logico di ingresso $S_{IN} = V_{IH, \min} - V_{IL, \max}$, i due margini di rumore aumentano. Un altro fattore importante, se facciamo ad esempio riferimento alla caratteristica di un invertitore, è il guadagno nel tratto a pendenza negativa:



All'aumentare del guadagno e a parità di $S_{OUT} = V_{OH,min} - V_{OL,max}$, i margini di rumore aumentano.

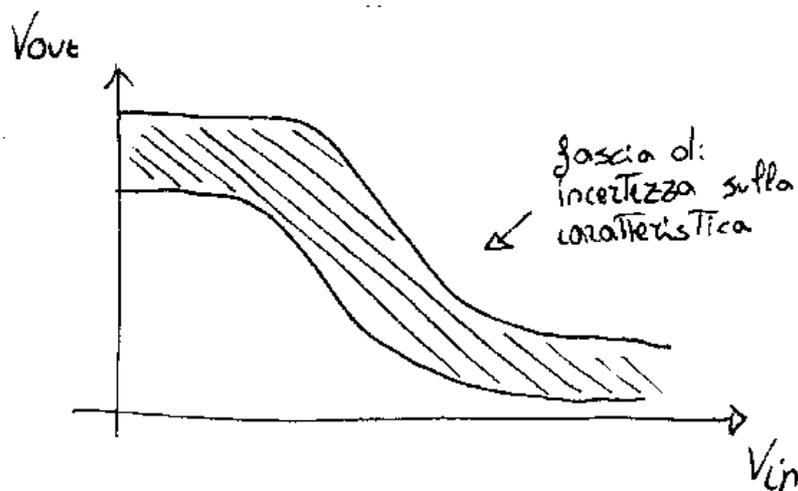
Infine, sempre con riferimento ad un invertitore con caratteristica del tipo appena riportato, si verifica che i margini di rumore aumentano all'aumentare della simmetria della caratteristica $V_{out}-V_{in}$ rispetto alla tensione di soglia: se la simmetria è totale rispetto alla V_{TH} , allora i margini di rumore coincidono e sono evidentemente pari a $S_{OUT}/2$.

Le porte della famiglia CMOS sono quelle con margini di rumore più elevati: esse infatti hanno buona simmetria rispetto alla V_{TH} ed elevata pendenza nel tratto di amplificazione.

OSSERVAZIONE: DISPERSIONE DEI PARAMETRI IN UNA STESSA FAMIGLIA

Se consideriamo 2 invertitori (o due qualsiasi porte) appartenenti alla stessa famiglia, essi saranno identici, in termini di prestazioni e caratteristiche, solo a livello teorico, visto che, nella realtà, è sempre presente una certa dispersione dei parametri tra un dispositivo e l'altro.

Per esempio, con riferimento ad un certo numero di invertitori appartenenti alla stessa famiglia (ad esempio la porta logica **TTL standard** con sigla **7404**), le loro caratteristiche ingresso-uscita in tensione non saranno mai uguali, ma saranno tutte comprese in una **fascia di incertezza** del tipo indicato nella figura seguente:



Quando, allora, ci troviamo a dover progettare un circuito che debba usare uno o più di questi invertitori, noi ci metteremo sempre nel caso peggiore, scegliendo, come caratteristica comune a tutti gli invertitori utilizzati, quella peggiore che si può ricavare da quella fascia di incertezza. La caratteristica peggiore è evidentemente quella che presenta il minore swing logico di uscita $S_{OUT} = V_{OH,min} - V_{OL,max}$ a parità di swing logico di ingresso.

Circuiti elettronici per le porte digitali base

CIRCUITI DELLA FAMIGLIA TTL

La prima porta base della famiglia TTL fu un semplice miglioramento della porta base della famiglia DTL (*Diode-Transistor Logic*). Successivamente, quando la tecnologia delle TTL progredì, furono introdotti sempre nuovi miglioramenti, al punto che oggi la TTL è la famiglia maggiormente utilizzata per la realizzazione dei circuiti digitali.

Come abbiamo già detto, esistono diverse **serie** appartenenti alla famiglia TTL. Un modo significativo di confrontare tali serie è di considerare, come parametro distintivo, il prodotto tra la il ritardo di propagazione e la dissipazione di potenza: l'unità di misura di questo prodotto è il pJ (picojoule). In linea di massima, è desiderabile avere un basso valore di tale prodotto, il che indicherebbe che un basso ritardo di propagazione è ottenibile senza una eccessiva dissipazione di potenza e, ovviamente, viceversa.

La porta base della serie **TTL standard** fu la prima ad essere commercializzata. Essa era progettata con differenti valori di resistenza, in modo da produrre porte o con bassa dissipazione di potenza o con alta velocità di elaborazione.

Generalmente, il ritardo di propagazione di un circuito a transistor che va in saturazione dipende da due fattori: il tempo di memorizzazione e le costanti di tempo RC. Una riduzione del tempo di memorizzazione comporta una diminuzione del ritardo di propagazione. Una riduzione dei valori delle resistenza riduce il valore della costanti di tempo RC e quindi diminuisce a sua volta il ritardo di propagazione. Ovviamente, il problema della riduzione delle resistenze è nella dissipazione di potenza: infatti, minori sono le resistenze, maggiori sono le correnti e quindi maggiori sono le potenze dissipate.

Nelle porte della famiglia **low-power TTL**, i valori dei resistori sono maggiori rispetto alle *TTL standard*, il che riduce la dissipazione di potenza, ma aumenta il ritardo di propagazione, dato l'aumento delle costanti di tempo per la carica e la scarica delle capacità. Nella famiglia **high-speed TTL**, invece, si fa il contrario, ossia si riducono le resistenze al fine di ridurre il tempo di propagazione a spese della dissipazione di potenza, che aumenta.

Il successivo miglioramento si è ottenuto con la famiglia **Schottky TTL**: l'accorgimento che si usa in questa particolare famiglia è quello di evitare che il transistor arrivi alla saturazione, ponendo un diodo (un diodo Schottky, cioè metallo-semiconduttore) in parallelo alla giunzione base-collettore. Anche se ne parleremo con maggior dettaglio più avanti, per ora limitiamoci a dire che questo riduce il ritardo di propagazione, senza aumentare eccessivamente il ritardo di propagazione. In un certo senso, quindi, si tratta di una via di mezzo tra la TTL a bassa potenza e la TTL ad alta velocità.

Ci sono state poi ulteriori versioni: nella famiglia **Low-power Schottky TTL**, viene maggiormente sacrificata la velocità ai fini di una riduzione di dissipazione di potenza, mentre invece nella **High-speed Schottky TTL** viene maggiormente sacrificata la velocità ai fini di una minore dissipazione di potenza. Sono state anche introdotte le serie **Advanced Schottky TTL**, nelle quali si raggiungono ritardi di propagazione inferiori alla Schottky TTL ed anche minori dissipazioni di potenza. Grosse prestazioni si ottengono infine dalla famiglia **Advanced Low-power Schottky TTL**, che ha il minore prodotto tra ritardo di propagazione e dissipazione di potenza: le porte di questa famiglia stanno pian piano sostituendo tutti gli altri tipi di porte a bassa potenza.

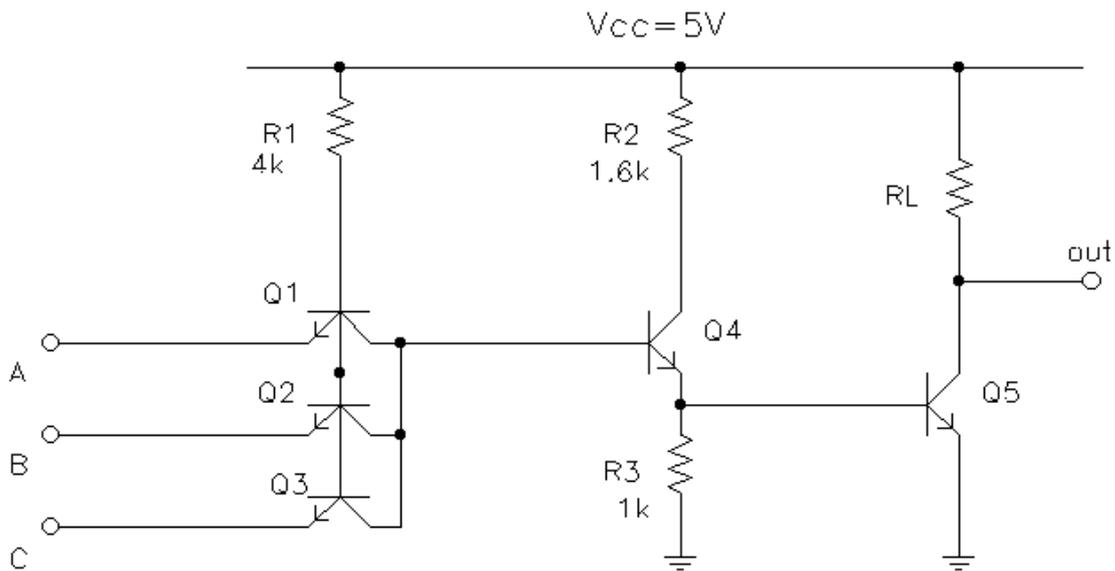
Come già sottolineato in precedenza, le differenze nelle porte delle varie serie TTL non sono nelle funzioni logiche che esse implementano, ma nella realizzazione circuitale delle rispettive porte NAND. In tutte le serie, le porte TTL si presentano in 3 diverse configurazioni:

- open-collector output
- totem-pole output
- three-state (o anche tristate) output

I prossimi paragrafi sono dedicati all'analisi di queste porte.

STADIO OPEN-COLLECTOR

Lo stadio open-collector è disegnato nella figura seguente:



L'alimentazione V_{CC} (da 5V) alimenta fundamentalmente 3 transistor: il transistor di uscita Q5, sul cui collettore è prelevata l'uscita, è connesso ad emettitore comune (senza degenerazione); il transistor Q4, appartenente allo stadio intermedio, in configurazione di inseguitore di emettitore; il transistor formato da Q1, Q2 e Q3, che formano il cosiddetto transistor multi-emitter: le basi e i collettori dei tre BJT sono a 3 a 3 in corto, mentre gli emettitori sono separati e servono all'applicazione di 3 distinti ingressi al circuito.

E' bene osservare subito una cosa a proposito del resistore R_L posto tra l'alimentazione e il collettore di Q5: questo resistore non è presente nel circuito integrato in cui viene realizzata la porta, ma va inserito esternamente. Il motivo è il seguente: quando Q5 è interdetto, la tensione di uscita deve corrispondere al livello alto di tensione, per cui il collettore di Q5 va portato all'alimentazione, cosa che avviene appunto tramite R_L . Il motivo per cui R_L non venga posto direttamente nell'integrato sarà discusso tra poco.

Passiamo adesso al funzionamento concreto del circuito. Intanto, ricordiamo che, per una porta TTL, i valori di tensione corrispondenti ai due livelli logici sono 0.2V per il livello basso e una tensione compresa tra 2.4V e 5V per il livello alto. Il circuito base, di questa famiglia, è la porta NAND.

Supponiamo che tutti e 3 gli ingressi (indicati con A, B e C) siano pilotati da una corrente bassa e sia posti ad una tensione bassa (circa 0.2V), il che significa che abbiamo uno 0-logico su tutti e 3 gli ingressi. Allora, le giunzioni base-collettore dei transistor Q1, Q2 e Q3 sono polarizzate direttamente,

il che significa che ai capi di tali giunzioni c'è una tensione V_{BE} di circa 0.7V. Con 3 0-logici in ingresso, trattandosi di una porta NAND, vogliamo che l'uscita sia al valore alto, il che significa, per quanto detto prima a proposito del resistore R_L , che Q3 non deve condurre. Questo in effetti accade: infatti, se applichiamo la LKT dal nodo in cui convergono le basi di Q1, Q2 e Q3 fino a massa, abbiamo che

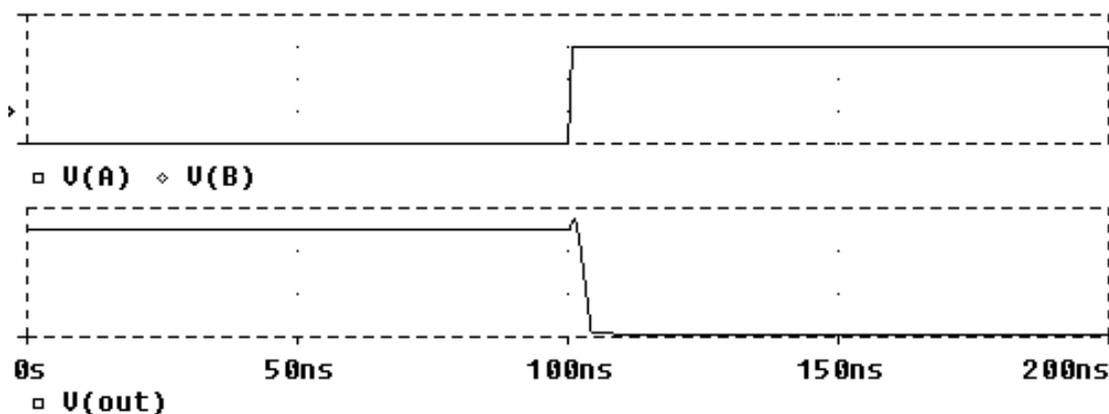
$$0.9V = V_{B1} = V_{B2} = V_{B3} = V_{BC,123} + V_{BE4} + V_{BE5}$$

dove abbiamo tenuto conto che le basi di Q1, Q2 e Q3 sono ad una tensione di circa 0.9V (che sono gli 0.2V dell'ingresso più gli 0.7V della polarizzazione diretta delle giunzioni B-E). Allora, anche supponendo che $V_{BC,123} = 0V$, è evidente che né Q4 né Q5 hanno la tensione B-E necessaria all'accensione, per cui sono entrambi interdetti e quindi l'uscita è al valore dell'alimentazione, ossia all'1-logico, come volevamo.

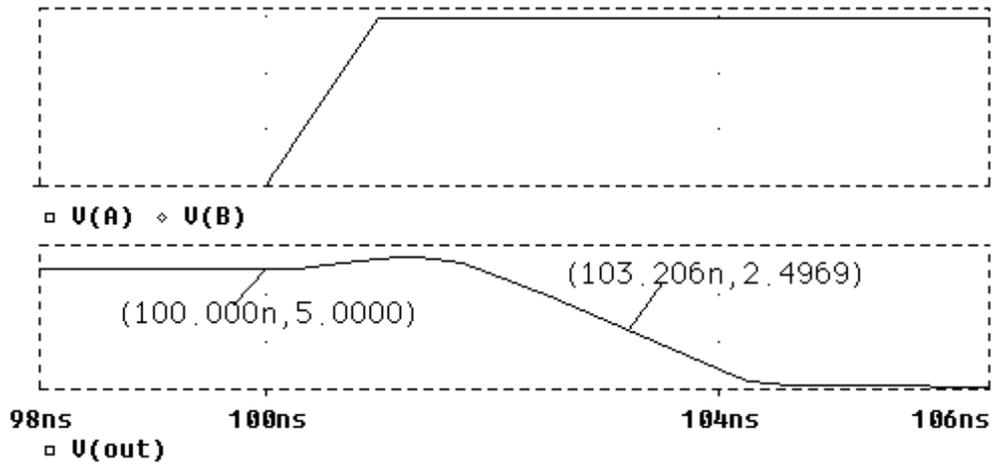
Quindi, fin quando la base del transistor multiemitter (che d'ora in poi indicheremo con M) è mantenuta dal segnale di ingresso a 0.9V, il transistor di uscita Q5 non può condurre e quindi l'uscita è al valore alto.

Adesso consideriamo il caso duale, in cui cioè i 3 ingressi sono tutti al valore alto: la corrente di base non può fluire attraverso l'emettitore e fluisce perciò attraverso il collettore (in altre parole, M1 si comporta come un semplice diodo pn). Allora, la tensione ai capi della giunzione base-collettore è di circa 0.7V. Se gli altri due transistor conducono a loro volta, la tensione tra la base di M1 e massa è dunque di circa $0.7 \cdot 3 = 2.1V$, ossia la tensione sulla base di M1 è di 2.1V. Le giunzioni B-E di Q1, Q2 e Q3 sono dunque inversamente polarizzate. La corrente che dalla base di M1 fluisce nella base di Q4 fa sì che quest'ultimo saturi: ciò significa che la tensione tra collettore ed emettitore di Q4 vale circa 0.2V. Saturi allora a sua volta anche Q5, facendo in modo che la tensione di collettore (cioè la tensione di uscita) si porti a 0.2V dall'emettitore di Q5, ossia dalla massa. Quindi, l'uscita è adesso a 0.2V, ossia al valore 0-logico, come ci aspettavamo.

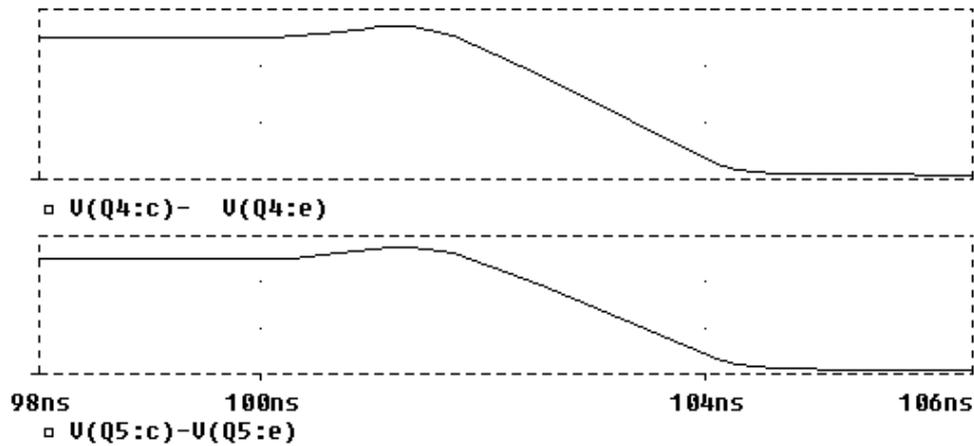
A conferma di questi discorsi, riportiamo l'esito di una simulazione con P-Spice, eseguita su uno stadio open-collector con due soli ingressi (indicati con A e B):



Nel diagramma superiore sono riportati gli andamenti temporali dei due ingressi, che passano da una tensione iniziale di 0.2V ad una tensione finale di 3V, con un tempo di salita approssimativamente di 1 ns. L'uscita del circuito, come previsto, passa dal valore iniziale alto (di esattamente 5 V) al valore basso finale (poche decine di mV). A parte il picco iniziale, l'uscita impiega circa 3 nsec per raggiungere (in discesa) il 50% del valore alto, come indicato nel dettaglio della figura seguente:



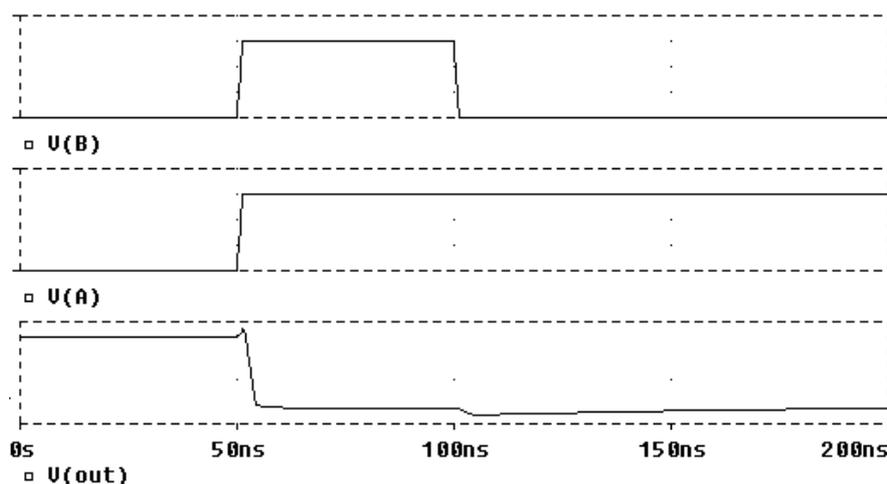
Nella prossima figura sono invece indicati gli andamenti delle tensioni V_{CE} dei transistor Q4 e Q5, sempre nell'intorno dell'istante in cui avviene la commutazione dei due ingressi:



Come si nota, le due tensioni passano dal valore alto (5V), corrispondenti ai due transistor in conduzione, al valore di circa 0.2V corrispondente alla saturazione di entrambi.

Adesso, supponiamo di essere inizialmente nella condizione in cui tutti gli ingressi sono all' 1-logico e l'uscita è quindi allo 0-logico; supponiamo, poi, che, in un certo istante, uno solo dei 3 ingressi venga portato allo 0-logico, lasciando invece invariati gli altri due all' 1-logico: a questo punto, Q4 e Q5 cominciano a spegnersi ("cominciano" in quanto ci vuole un certo tempo per rimuovere l'eccesso di carica accumulatosi durante la saturazione); quando Q5 si è spento, la tensione di uscita torna all'1-logico, come previsto dalla tabella della verità della porta NAND. Facciamo anche osservare che, in questa commutazione, il transistor M1 ha l'effetto di ridurre il ritardo con cui il circuito risponde alla variazione di ingresso: infatti, quando Q4 cominciano a spegnersi, la giunzione B-C di M1 risulta inversamente polarizzata, mentre la giunzione B-E risulta direttamente polarizzata: questo porta M1 temporaneamente in zona attiva diretta; la corrente di collettore di M1 entra allora nella base di Q4 e contribuisce a rimuovere, molto rapidamente, l'eccesso di carica prodotto durante la precedente saturazione. Questo contribuisce a ridurre ulteriormente il tempo di cui Q4 necessita per passare dalla precedente saturazione alla interdizione.

Ancora una volta, supportiamo questi discorsi con una simulazione P-Spice, nella quale facciamo in modo che l'ingresso A commuti da 0 ad 1 e poi rimanga ad 1, mentre invece l'ingresso B, pur commutando da 0 ad 1 nello stesso istante A, torni successivamente a 0. L'esito della simulazione è il seguente:



Come si nota, dopo la commutazione iniziale $1 \rightarrow 0$, l'uscita permane al livello 0 anche quando B torna a 0. Si osserva solo una leggera ondulazione della forma d'onda, ma il valore logico rimane comunque lo stesso.

Adesso, torniamo al resistore R_L di cui abbiamo parlato anche prima: lo stadio **open collector** si chiama così perché può lavorare correttamente anche senza R_L , ma essendo direttamente connesso all'ingresso di altre porte TTL (anche se questo modo di operare è comunque sconsigliato quando si vuole aumentare l'immunità dal rumore): infatti, senza il resistore R_L , l'uscita del circuito è chiaramente un circuito aperto quando Q5 è interdetto e un circuito aperto, in ingresso ad un'altra qualsiasi porta TTL, ha l'effetto di un ingresso al livello alto, come in effetti ci interessa che sia, in quanto, con Q5 spento, l'uscita è a livello logico alto. Se invece Q5 conduce corrente, il suo collettore ha comunque un percorso di corrente sulla porta che va a pilotare: infatti, se pensiamo di pilotare, con il collettore di Q5, uno degli ingressi di un altro stadio open-collector, la corrente di uscita di Q5 passerebbe attraverso la giunzione base-emettitore (polarizzata direttamente, dato il valore basso di tensione di ingresso) del nuovo M_1 , il resistore $4\text{ k}\Omega$ e l'alimentazione.

Riepilogando, quindi, *l'espressione "open-collector" deriva dal fatto che questo stadio non necessariamente necessita del resistore R_L , ma può correttamente funzionare ponendo il collettore del transistor Q5 di uscita direttamente sull'ingresso della porta successiva.*

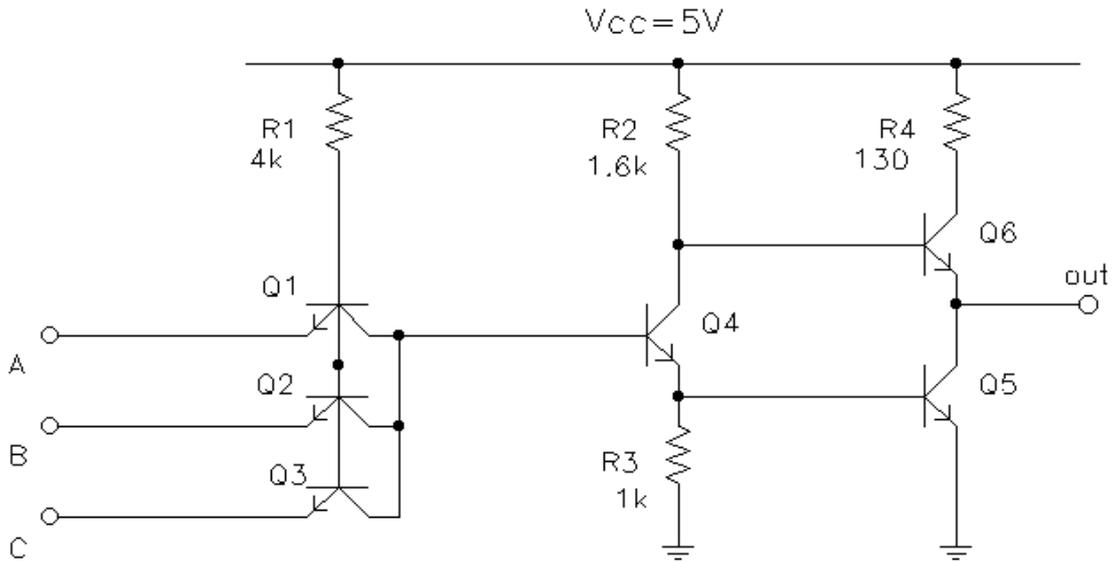
Evidentemente, avendo dunque accertato la possibilità di realizzare, con lo stadio open-collector, una porta NAND, sappiamo di poter implementare qualsiasi altra funzione booleana, in quanto sappiamo che la porta NAND costituisce un insieme funzionalmente completo.

STADIO TOTEM-POLE

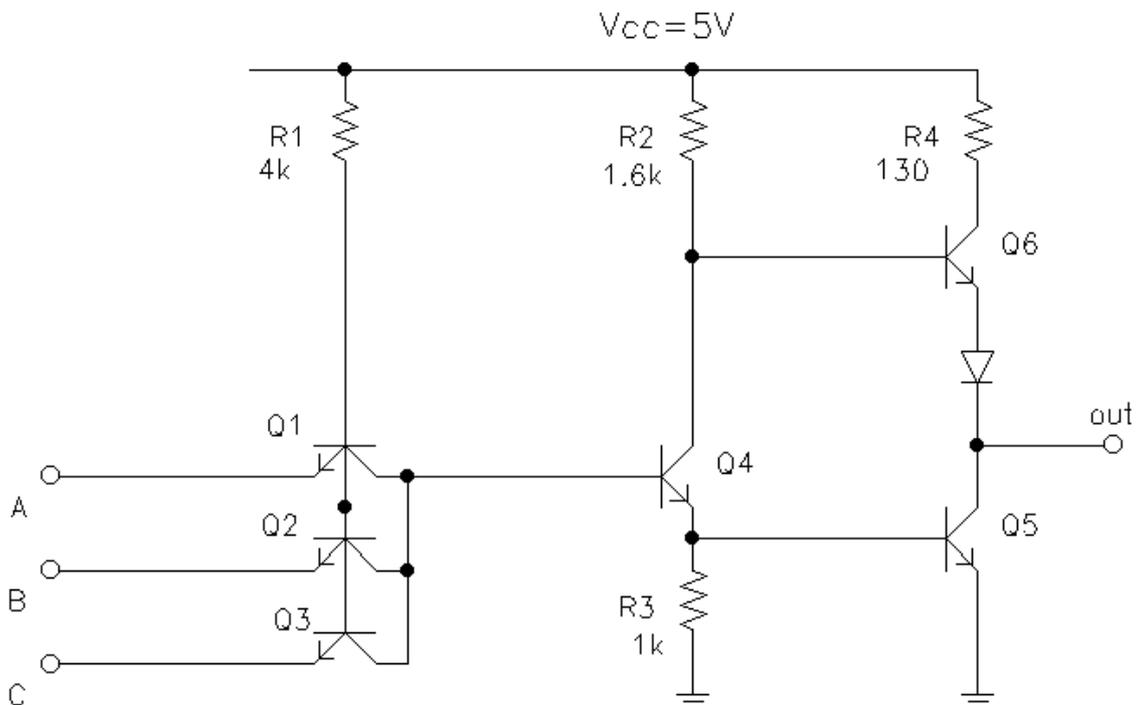
Consideriamo una generica porta logica: l'impedenza di uscita di tale porta, come di un qualsiasi circuito elettronico, può essere normalmente modellata come il parallelo di una resistenza e di una capacità, quest'ultima dovuta a molteplici fattori, come la capacità di uscita di un transistor o la capacità di uscita di altre porte pilotate insieme a quella considerata o come anche la capacità associata ai conduttori di collegamento.

Consideriamo allora lo stadio open-collector esaminato nel precedente paragrafo: se l'uscita dello stadio varia dal livello basso al livello alto, il transistor di uscita Q5 passa dalla saturazione alla interdizione e la totale capacità di carico si porta esponenzialmente dal livello basso di tensione al livello alto secondo una costante di tempo RC. Nel caso dello stadio open-collector, la resistenza da considerare è la R_L , detta **resistenza di pull-up**: normalmente, questa R_L vale $4\text{ k}\Omega$ e viene moltiplicata per una capacità che generalmente è da 15 pF . Il prodotto dà origine ad una costante di tempo di circa 35 nsec , il che significa che il transistor di uscita necessita di 35 nsec per interdirsi.

E' possibile ridurre questo tempo passando da un pull up passivo, come quello realizzato da R_L , ad un **pull-up attivo**, come quello realizzato da un ulteriore dispositivo attivo. Inserendo allora questo nuovo transistor al posto di R_L , si ottiene lo stadio seguente:



In realtà, questa connessione non va ancora bene: infatti, tenendo conto che la presenza di Q6 non altera il meccanismo di funzionamento dei due stadi precedenti (Q4 ed M1), bisogna comunque fare in modo che, quando Q5 è saturato, l'uscita sia al livello basso e questo è possibile solo se Q6 è spento. Allora, si procede inserendo un diodo tra l'emettitore di Q6 ed il collettore di Q5:



Questo è lo **stadio totem-pole**. Quando l'uscita è al valore basso, Q4 e Q5 sono in saturazione come nell'open collector. La tensione sul collettore di Q4, cioè sulla base di Q6, è esprimibile, in base alla LKT, come

$$V_{C4} = V_{B6} = V_{CE4} + V_{BE5} \cong 0.2V + 0.7V = 0.9V$$

Essendo l'uscita a circa 0.2V, data la saturazione di Q5, la tensione tra la base di Q6 e l'uscita stessa è dunque di circa 0.9V e si ripartisce tra la giunzione B-E di Q6 e il diodo: perché Q6 possa condurre, deve condurre anche il diodo, il che significa che sarebbero necessari 1.4V, di cui 0.7V per la giunzione B-E del transistor e 0.7V per il diodo. Dato, invece, che ci sono solo 0.9V a disposizione, è chiaro che nessuno dei due conduce.

Quindi, lo scopo dell'inserimento del diodo è proprio quello di garantire che, con Q5 saturato, Q6 sia spento, in modo che l'uscita sia a circa 0.2V.

Adesso vediamo per quale motivo la presenza di Q6 consente di ridurre il tempo di ritardo: ci aspettiamo, evidentemente, che Q6 faciliti la carica della capacità di uscita. In effetti è così: supponiamo che l'uscita commuti dal valore basso al valore alto, a causa del fatto che almeno uno degli ingressi sia stato portato al livello basso; così come nell'open collector, Q4 e Q5 si interdicono; non appena Q4 si interdice, c'è un percorso di corrente che va dall'alimentazione, attraverso il resistore R_2 , nella base di Q6, il quale quindi passa in conduzione. La corrente necessaria alla carica della capacità di uscita fa sì che Q6 vada temporaneamente in saturazione, mentre la tensione di uscita sale (dal valore basso iniziale verso il valore alto finale) con una costante di tempo RC; rispetto a prima, però, è cambiato il valore di R: infatti, R è adesso la serie della resistenza R_4 da 130 Ω , della resistenza di Q6 in saturazione e della resistenza del diodo, per un totale di circa 150 Ω . Quindi, a parità di capacità di uscita, abbiamo ridotto la resistenza dai 4k Ω dello stadio open-collector ai 150 Ω di questo stadio, per una costante di tempo, quindi, molto inferiore ai 35 nsec trovati prima.

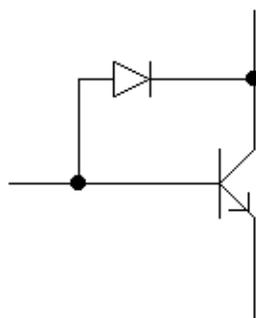
Man mano che la capacità di uscita si carica, la tensione di uscita sale e la corrente in Q6 diminuisce, il che porta Q6 dalla saturazione in zona attiva diretta. Quindi, al contrario degli altri transistor del circuito, Q6 è in zona attiva diretta mentre il circuito si trova in uno stato stabile. Il valore finale dell'uscita è ricavabile ancora una volta dalla LKT:

$$V_{CC} = V_{R_2} + V_{BE6} + V_D + V_{out} \longrightarrow V_{out} = V_{CC} - V_{R_2} - V_{BE6} - V_D$$

La caduta sul resistore R_2 è piccola in quanto Q4 è interdetto, per cui la corrente che attraversa la resistenza è la corrente di base di Q6 (in zona attiva diretta), che è notoriamente molto piccola. Di conseguenza, dato che Q6 è in zona attiva diretta e il diodo sta conducendo, abbiamo un valore della tensione di uscita pari approssimativamente a $V_{out} \cong V_{CC} - V_{BE6} - V_D \cong 5V - 0.7 - 0.7 = 3.6V$.

PORTA NAND DELLA FAMIGLIA SCHOTTKY TTL

Come già accennato in precedenza, la riduzione del tempo di carica delle capacità comporta una riduzione del ritardo di propagazione. Questo perché ogni BJT richiede un certo tempo per uscire dalla saturazione e andare in interdizione. Allora, per incrementare la velocità di saturazione, si può pensare di evitare che il transistor arrivi in saturazione, ponendo un diodo in parallelo alla giunzione base-collettore, secondo lo schema seguente:



In particolare, il diodo non è un diodo pn: si tratta di **diodo Schottky**², cioè un diodo realizzando tramite una giunzione metallo-semiconduttore. La tensione di conduzione di un diodo Schottky è di circa 0.4V, inferiore agli 0.7V di un normale diodo pn.

Lo scopo del diodo è appunto quello di evitare che il transistor saturi, cioè che entrambe le giunzioni siano direttamente polarizzate: infatti,

Un transistor con la configurazione indicata nella figura precedente prende il nome di **transistor Schottky** ed è il tipo di transistor usato nelle porte della famiglia **Schottky TTL**: con questi particolari transistor, si ottengono buone velocità di commutazione, senza un aumento eccessivo dei consumi.

Autore: **SANDRO PETRIZZELLI**

e-mail: sandry@iol.it

sito personale: <http://users.iol.it/sandry>

succursale: <http://digilander.iol.it/sandry1>

² In realtà, si potrebbe usare anche un diodo in Germanio, ma è ovviamente impossibile realizzarlo in un chip di Silicio.