

Appunti di "Misure Elettriche"

Capitolo 8

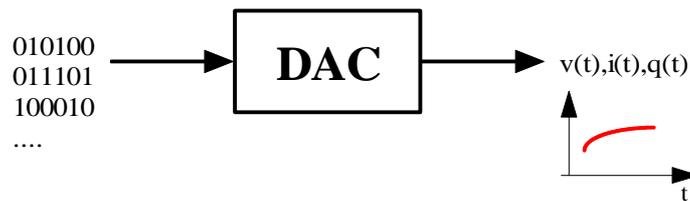
Campionamento e conversione (parte II)

Conversione digitale-analogico	2
Concetti generali	2
<i>Caratteristica reale per la conversione D[®]A</i>	4
Convertitori digitale-analogico (DAC)	5
Conversione analogico-digitale	10
Quantizzazione	10
<i>Errore di quantizzazione</i>	14
<i>Esempio</i>	18
<i>Numero di bit equivalenti</i>	18
<i>Cause di errore</i>	20
Conversione A→D senza campionatore	20
ADC a rampa	21
<i>ADC a semplice rampa</i>	22
<i>ADC a doppia rampa</i>	26
<i>ADC a rampe multiple</i>	29
Convertitori tensione-frequenza	30
<i>Convertitore tensione-frequenza a bilanciamento di carica</i>	32
ADC a scala	34
ADC ad approssimazioni successive	36
ADC parallelo (o flash)	37
Sistemi di telemisura e linee di trasmissione	40
Interfacce di trasmissione	41
<i>Interfaccia RS-232C</i>	41
<i>Interfaccia RS-449</i>	43
<i>Interfacce RS-423A e RS-422A</i>	43
<i>Interfacce parallele</i>	45

Conversione digitale-analogico

CONCETTI GENERALI

Concentriamoci in questi paragrafi sulla **conversione digitale-analogica**, ossia sul passaggio dal segnale registrato in forma digitale a quello nuovamente in forma analogica. In particolare, dobbiamo tener conto che il **segnale in forma digitale** è una successione di numeri, mentre quello analogico è una tensione oppure una corrente oppure una carica elettrica variabile nel tempo (con continuità):



Di conseguenza, la base di tutte le tecniche di conversione D→A consta di due operazioni fondamentali:

- in primo luogo, dobbiamo convertire ciascun numero in ingresso in tante **unità base** del segnale di uscita;
- in secondo luogo, dobbiamo sommare tali unità base tramite un **circuito analogico sommatore**¹.

Vediamo di chiarire bene il concetto. Ipotizziamo che l'uscita del nostro **convertitore D→A** sia una tensione. In primo luogo, dobbiamo definire una **unità base di riferimento**, espressa in volt, che indichiamo con **k**: questa quantità rappresenta semplicemente il minimo valore della tensione in uscita dal **DAC** (convertitore digitale→analogico) e cioè la sua **risoluzione**.

In secondo luogo, supponiamo che il DAC abbia **modulo M=2ⁿ**: questo significa che i numeri in ingresso sono rappresentati da parole binarie da n bit; se supponiamo anche che il DAC sia **unipolare**, ossia con ingresso a solo numeri positivi, deduciamo che tali numeri andranno da 0 a 2ⁿ-1.

Con queste ipotesi, possiamo esprimere la tensione in uscita dal convertitore tramite la seguente espressione:

$$V = k \cdot (A_{n-1} 2^{n-1} + A_{n-2} 2^{n-2} + \dots + A_1 2^1 + A_0 2^0) = k \cdot \sum_{i=0}^{n-1} A_i 2^i$$

Abbiamo cioè il prodotto tra la risoluzione del dispositivo ed una *somma pesata* di potenze di 2; i coefficienti di peso A_i possono ovviamente assumere solo i valori 0 ed 1.

Per esempio, per ottenere la massima tensione di uscita, dobbiamo avere tutti i coefficienti di peso pari ad 1, nel qual caso si ha che

¹ Abbiamo, ad esempio, visto in precedenza come è possibile usare un op-amp per la realizzazione di un sommatore analogico.

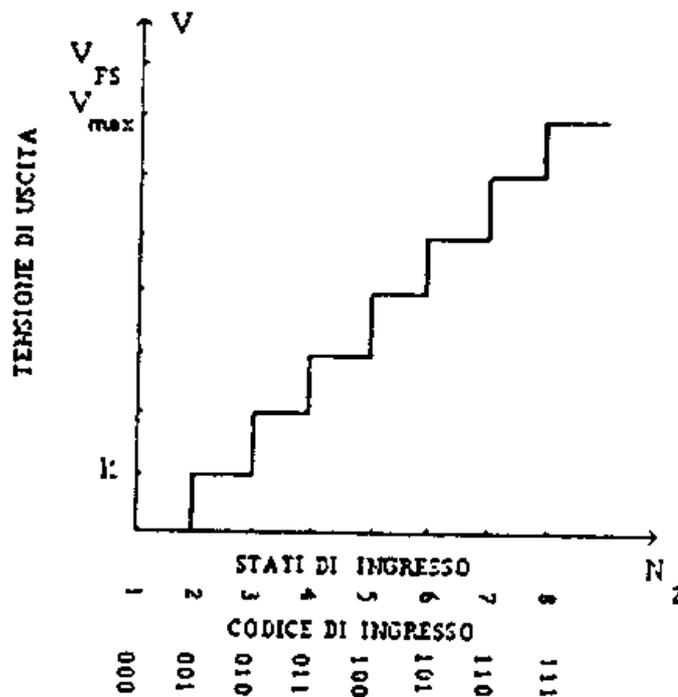
$$V_{\max} = k \cdot \sum_{i=0}^{n-1} 2^i = k \cdot (M-1) = kM - k$$

Il prodotto tra la risoluzione ed il modulo del dispositivo corrisponde al **valore di fondo scala**, indicato con V_{FS} . Scriviamo perciò che la massima tensione di uscita è

$$V_{\max} = V_{FS} - k$$

Questa relazione ci dice dunque che la tensione massima di uscita è comunque inferiore al valore di fondo scala e che lo scarto è tanto più piccolo quanto migliore (cioè quanto più piccola) è la risoluzione.

La figura seguente mostra, tramite un diagramma cartesiano, la corrispondenza tra i numeri binari in ingresso al DAC e le tensioni in uscita:



Caratteristica ideale di conversione digitale@analogica per un DAC a 3 bit

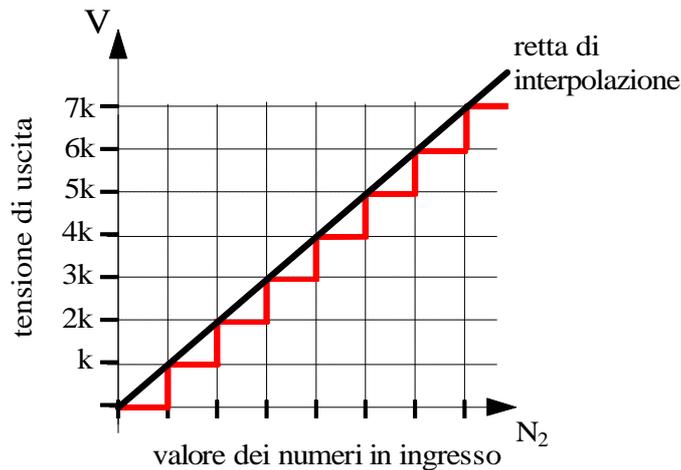
Si considera, evidentemente, un **convertitore a 3 bit**, cioè con modulo $M=8$. Si nota immediatamente il fatto che la tensione massima (corrispondente alla parola binaria 111) è al di sotto del valore di fondo scala.

A parità di valore di fondo scala V_{FS} , è chiaro che, all'aumentare del numero n di bit, la risoluzione migliora (cioè diminuisce) e quindi si riduce lo scarto sia tra due valori di tensione contigui sia tra il valore massimo e quello di fondo scala.

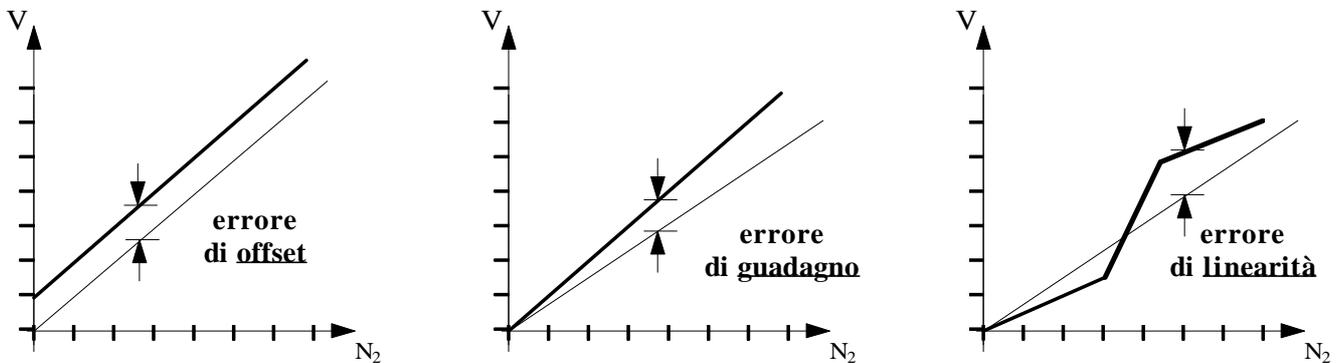
Caratteristica reale per la conversione D@A

Quella riportata nell'ultima figura è una caratteristica puramente ideale di conversione digitale-analogica. Le cause che determinano uno scostamento da essa della caratteristica reale sono molteplici: citiamo gli *errori di deriva dallo zero, di guadagno* (o di taratura) e *di non-linearità*².

Per mostrare, in modo molto qualitativo, queste differenze, consideriamo, al posto della scalinata mostrata prima, una **retta di interpolazione**, che cioè faccia corrispondere a ciascun valore numerico (ascisse) un solo valore analogico (ordinate), pari all'unità base di riferimento (cioè la risoluzione k) oppure a un suo multiplo:



Questa retta di interpolazione, a causa degli errori citati poco fa, può risultare, rispetto a quella ideale, traslata verso l'alto o verso o avere una pendenza diversa oppure anche non essere perfettamente rettilinea. La figura seguente mostra 3 tipiche possibilità:



Sono qui rappresentati tre tipiche cause di errore:

- l'**errore di offset** si ha quando la retta reale di interpolazione, pur conservando la stessa pendenza di quella teorica, risulta traslata verso l'alto o verso il basso, di una quantità che è appunto l'**offset**; la caratteristica ideale ha offset nullo.
- l'**errore di guadagno**, invece, si ha quando la retta reale, pur partendo dall'origine del piano cartesiano, ha pendenza diversa da quella teorica;

² Questi errori sono comuni anche agli ADC, ossia ai dispositivi per la conversione analogico→digitale.

- per quanto riguarda, invece, l'**errore di linearità**, bisogna precisare che esso può essere riferito a due diverse caratteristiche:
 - * si parla di **errore di linearità integrale** per indicare il massimo scarto tra la caratteristica reale e quella ideale;
 - * si parla invece di **errore di linearità differenziale** per indicare il massimo scarto tra l'unità base k e la differenza tra due valori contigui della tensione analogica.

Oltre agli errori appena citati, sono da prevenire anche i cosiddetti **errori dinamici** durante il processo di conversione. Per comprendere il concetto, prendiamo nuovamente il convertitore a 3 bit descritto prima e consideriamo il passaggio tra 011 e 100: in corrispondenza di questo passaggio, notiamo che tutti i bit in ingresso cambiano di stato; immaginiamo allora che la commutazione di un bit sia più veloce di quelle degli altri bit, ad esempio a causa di differenti velocità da parte dei corrispondenti interruttori: se, per esempio, il *bit più veloce* è il primo a sinistra (**MSB**, bit più significativo), il passaggio dallo stato iniziale a quello finale sarà

$$011 \longrightarrow 111 \longrightarrow 100$$

Durante il transitorio, abbiamo dunque l'ingresso nello stato 111, cui corrisponde la massima tensione in uscita; alla fine, invece, lo stato in ingresso è 100, per cui la corrispondente tensione in uscita è minore di V_{\max} . Quindi, a causa di questo *errore dinamico*, l'uscita assume, durante il transitorio, un valore maggiore rispetto a quello finale (in altri casi, il valore transitorio potrebbe invece essere minore).

Per evitare questo tipo di errori, si ricorre a particolari convertitori, che funzionino ancora una volta con il concetto della **tenuta** (come gli SHA visti in precedenza): in pratica, si fa in modo che il segnale di uscita si mantenga comunque costante fin quando tutti gli interruttori non abbiano raggiunto uno stato di equilibrio; quando questo stato è raggiunto, allora l'uscita può commutare.

E' infine importante, anche per i DAC come per gli SHA, il **tempo di assestamento**, definito come tempo necessario affinché il dispositivo si porti, in seguito ad una variazione a gradino del numero binario in ingresso, entro la fascia di incertezza comprensiva del valore di regime (ad esempio il 99,9% del valore di regime).

CONVERTITORI DIGITALE-ANALOGICO (DAC)

Sulla scorta delle considerazioni essenzialmente qualitative fatte nel precedente paragrafo, siamo in grado di capire come deve essere realizzato, in linea di principio, un DAC.

La formula cui fare riferimento è evidentemente

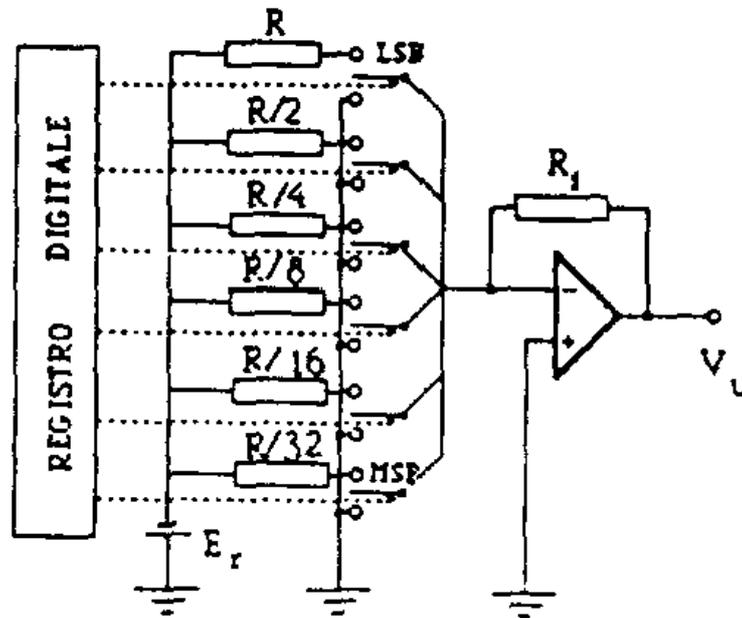
$$V = k \cdot (A_{n-1} 2^{n-1} + A_{n-2} 2^{n-2} + \dots + A_1 2^1 + A_0 2^0) = k \cdot \sum_{i=0}^{n-1} A_i 2^i$$

In base a questa formula, dobbiamo disporre dei seguenti elementi:

- un **registro digitale** che possieda memorizzata la parola binaria da convertire nella corrispondente tensione analogica; il registro avrà **n uscite binarie**, corrispondenti agli n coefficienti di peso A_i che compaiono nella formula;

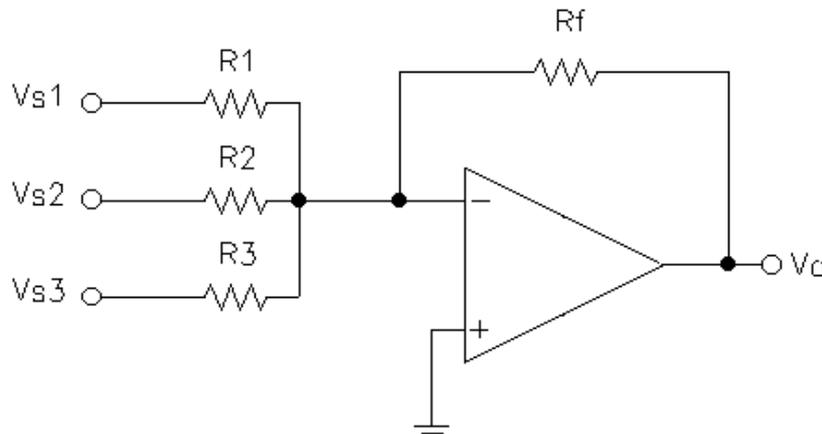
- un **generatore di tensione continua** che fornisca un valore di tensione E_R che faccia da riferimento;
- un **partitore di tensione** che ricavi, a partire dalla tensione di riferimento E_R , le singole tensioni corrispondenti ai termini $A_i 2^i$;
- un sistema di n **interruttori**, pilotati dalle uscite del registro digitale, che consentano di *attivare* o meno le varie sezioni del partitore;
- un dispositivo **sommatore** in uscita.

La figura seguente mostra lo schema di principio del convertitore, nella sua forma più semplice:



Tramite resistori di valore inversamente proporzionale alle potenze di 2 (da R a $R/2^n$), si ottiene la partizione della tensione di riferimento E_R su più livelli; pilotando, tramite le uscite del registro digitale, gli interruttori elettronici corrispondenti ai singoli resistori, è possibile inviare, al successivo amplificatore operazionale, una corrente che risulta una combinazione pesata delle correnti nei singoli resistori. Si ha cioè il classico **circuito sommatore**, i cui n ingressi vengono sommati secondo coefficienti di peso determinati dalle uscite del registro digitale.

Descriviamo allora il funzionamento del circuito sommatore, facendo riferimento al seguente schema semplificato, con 3 sole resistenze:



Dato che il morsetto invertente dell'amplificatore operazionale è forzato al potenziale di terra, i resistori R_1 , R_2 ed R_3 hanno la semplice funzione di convertire le rispettive tensioni v_{S1} , v_{S2} e v_{S3} in correnti $\frac{v_{S1}}{R_1}$, $\frac{v_{S2}}{R_2}$, $\frac{v_{S3}}{R_3}$ ad esse proporzionali; queste correnti si sommano e danno origine alla corrente

$$i_f = \frac{v_{S1}}{R_1} + \frac{v_{S2}}{R_2} + \frac{v_{S3}}{R_3}$$

Questa corrente non può entrare nell'operazionale, perciò passa attraverso la resistenza di reazione R_f , generando ai suoi capi una tensione $v_{Rf} = R_f i_f = R_f \left(\frac{v_{S1}}{R_1} + \frac{v_{S2}}{R_2} + \frac{v_{S3}}{R_3} \right)$; dato che $v_O = -v_{Rf}$, concludiamo che la tensione di uscita vale

$$v_O = -R_f \left(\frac{v_{S1}}{R_1} + \frac{v_{S2}}{R_2} + \frac{v_{S3}}{R_3} \right)$$

Nel nostro caso, le tensioni in ingresso sono le stesse, pari a $-E_r$ (la polarità della batteria viene invertita proprio per compensare l'azione invertente dell'operazionale) per cui

$$v_U = R_f E_r \sum_{i=0}^{n-1} \frac{1}{R_i}$$

Inoltre, abbiamo detto che le resistenze sono inversamente proporzionali alle potenze di 2, per cui otteniamo

$$v_U = R_f E_r \sum_{i=0}^{n-1} \frac{2^i}{R} = \frac{R_f}{R} E_r \sum_{i=0}^{n-1} 2^i$$

Questa formula va ovviamente perfezionata aggiungendo la presenza degli interruttori, che inseriscono o disinseriscono i vari resistori nel circuito, cioè abilitano o meno i corrispondenti ingressi al sommatore: concludiamo perciò che

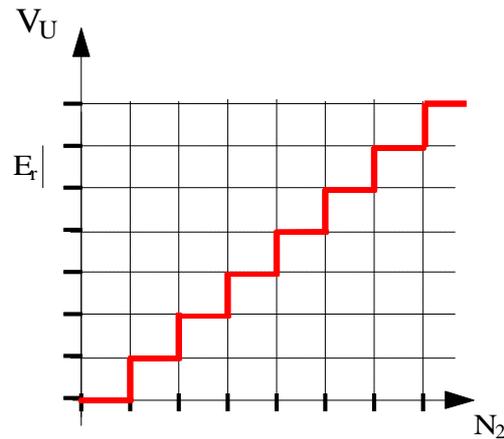
$$v_U = \frac{R_f}{R} E_r \sum_{i=0}^{n-1} A_i 2^i$$

Confrontando questa espressione con quella teorica $V = k \cdot \sum_{i=0}^{n-1} A_i 2^i$ ricavata in precedenza, deduciamo che la risoluzione dello strumento è

$$k = \frac{R_f}{R} E_r$$

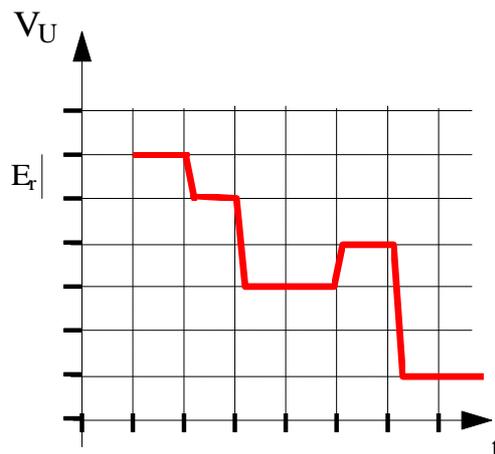
In realtà, il rapporto R_f/R serve solo a decidere se il segnale in uscita deve essere amplificato (nel qual caso si deve porre $R_f > R$) oppure no ($R_f = R$), per cui la risoluzione coincide di fatto con la tensione di riferimento E_r .

L'andamento della tensione di uscita, in funzione della parola binaria in ingresso, ha dunque un andamento a gradino del tipo descritto in precedenza, dove ogni gradino ha ampiezza pari ad E_r :



Come detto in precedenza, una volta fissata la tensione di fondo scala V_{FS} , basta aumentare il numero di bit per ottenere un miglioramento della risoluzione, cioè una riduzione dell'altezza dei gradini: a livello operativo, dovremo dunque semplicemente ridurre E_r .

Anche l'andamento temporale del segnale di uscita è del tipo a gradino, per esempio come quello indicato nella figura seguente:

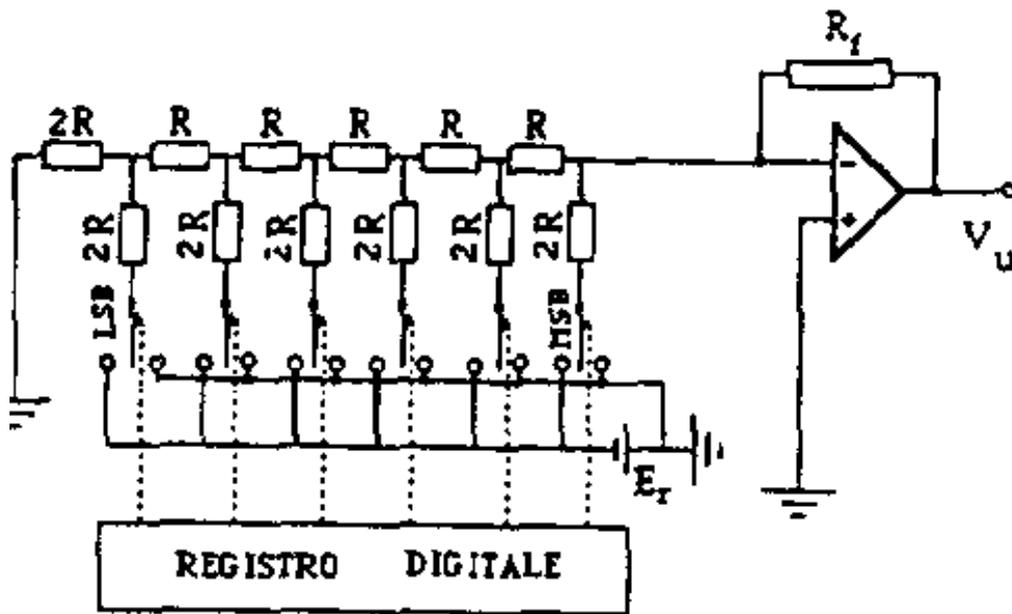


Un primo problema, legato al funzionamento di questo dispositivo, riguarda le discontinuità brusche nel segnale di uscita; queste discontinuità producono **rumore di conversione** sovrapposto al segnale. Essendo legato a variazioni brusche del segnale, tale rumore è essenzialmente localizzato in alta frequenza, per cui può essere ridotto tramite opportuni filtri analogici passa-basso (detti **filtri di ricostruzione**): tali filtri, eliminando le discontinuità troppo brusche, rendono sostanzialmente più continuo l'andamento del segnale analogico in uscita.

Un altro problema riguarda invece i valori delle resistenze: partendo dal basso, cioè dalla resistenza $R/2^n$ associata al bit meno significativo (MSB), ogni resistenza è pari al doppio della precedente; se il numero di bit è elevato, è anche elevato il numero delle resistenze da usare. Questo elevato numero può essere un problema se si decide di realizzare il dispositivo in forma integrata: sappiamo infatti che le *resistenze integrate* occupano uno spazio fisico tanto maggiore quanto maggiore è il loro valore in Ω , per cui il numero elevato di resistenze da implementare rende praticamente improponibile questa soluzione. L'unica possibilità è dunque quella di usare componenti discreti, ma la inevitabile propagazione delle incertezze potrebbe portare a tolleranze inaccettabili.

Per questi motivi, l'uso dei DAC con resistori pesati è limitato a convertitori a 4 bit, cioè per numeri decimali che vanno da 0 a 15. In tal caso, ogni serie, in genere di tre o quattro resistori uguali, decodifica un solo carattere o una sola cifra del numero da convertire e la sua uscita è applicata ad un sommatore con opportuni resistori che pesano il valore di ogni cifra in base alla sua posizione. Quindi, il DAC risulta costituito da tante serie di 3 o 4 resistori uguali quante sono le cifre del numero in codice da convertire. Naturalmente, se le cifre sono molte, il problema precedente si ripropone sui resistori che pesano le diverse cifre: ad esempio, nel caso di pesatura con numerazione decimale, questi resistori sono ciascuno di un ordine di grandezza superiore al precedente, con i problemi di cui sopra.

Per ovviare a questi problemi e facilitare soprattutto la realizzazione di DAC in forma integrata, si ricorre ai cosiddetti **DAC con resistori a scala**, di cui la figura seguente propone uno schema di principio:



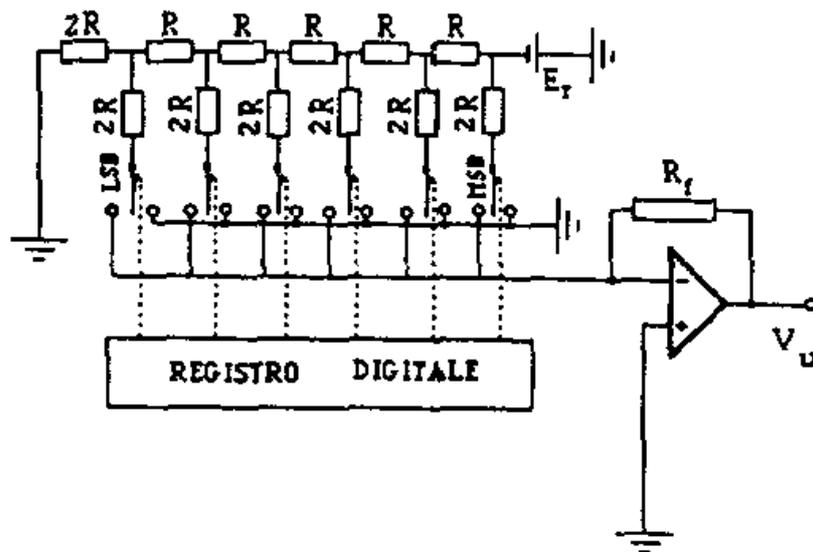
Come si vede, è qui utilizzata una **rete di resistori** di due soli valori (R e $2R$).

La tensione di uscita risultante è proporzionale alla corrente totale che fluisce nella resistenza R_f e tale corrente dipende dallo stato (aperto/chiuso) degli interruttori pilotati dalle uscite del registro digitale. Risolvendo il circuito tramite l'applicazione del *principio di sovrapposizione degli effetti* (si tratta di supporre che un solo interruttore sia chiuso e tutti gli altri aperti e di considerare tutti gli n possibili casi), si trova che la tensione di uscita è

$$v_U = \frac{R_f}{R} \frac{E_r}{2^n} \sum_{i=0}^{n-1} A_i 2^i$$

A meno del fattore di scala 2^n , la relazione trovata è del tutto analoga a quella di prima.

In effetti, anche quest'ultima soluzione presenta un problema, legato all'influenza delle inevitabili capacità parassite sulla velocità di conversione: il problema è rappresentato dal fatto che, quando cambia lo stato di un bit, si ha l'inversione della corrente nella corrispondente resistenza di valore $2R$, tramite un transitorio tipico di un circuito RC. Per evitare questo cambio di polarità, basta modificare la topologia del circuito nel modo seguente:



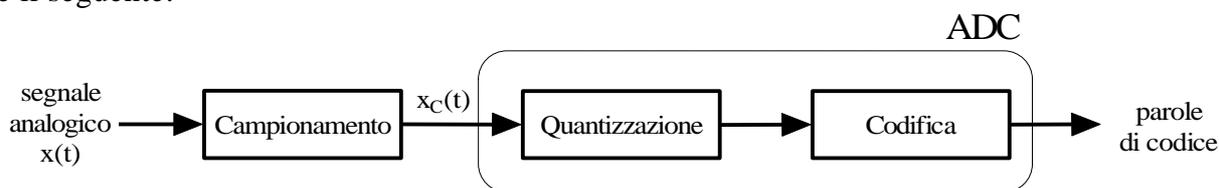
Abbiamo sostanzialmente invertire la posizione della batteria e del sommatore.

Conversione analogico-digitale

QUANTIZZAZIONE

La **quantizzazione** è il processo di trasformazione di un segnale analogico in un insieme di **stati** discreti. In particolare, essa rappresenta una delle due fasi della conversione di un segnale da analogico a digitale: dopo di essa, infatti, c'è la fase della **codifica**, con la quale a ciascuno degli stati discreti viene associato un codice numerico univoco³. Quindi, *la quantizzazione è il tramite tra il mondo dei segnali analogici e quello delle quantità numeriche*.

Lo schema a blocchi completo del processo di **conversione analogico-digitale** può dunque essere il seguente:



L'ingresso del blocco di quantizzazione è rappresentato dal segnale analogico **x_c(t)** frutto del campionamento del segnale di partenza: si tratta cioè del segnale che abbiamo in precedenza espresso nella forma

$$x_c(t) = \sum_{n=-\infty}^{+\infty} x(nT_c)\delta(t-nT_c)$$

³ Questa distinzione tra quantizzazione e codifica può sembrare inutile, ma in realtà non lo è: infatti, dati i campioni analogici forniti dal campionatore, noi abbiamo la possibilità di quantizzarli in un numero discreto di stati e poi di associare una qualsivoglia codifica (non necessariamente binaria) ai vari stati.

La fase di **quantizzazione** consiste nell'assegnazione, a ciascun **campione analogico**, di un numero finito di livelli di uguale ampiezza, detti **quanti** (da cui la parola *quantizzazione*). L'ampiezza di tali quanti sarà indicata nel seguito con il simbolo **q**, per cui a ciascun campione analogico sarà associato un multiplo della quantità q .

Il risultato di una misura ottenuta tramite una **strumentazione digitale** può essere considerato teoricamente come un multiplo intero di questa quantità elementare q , che quindi costituisce la **risoluzione** del dispositivo di misura. Il multiplo più grande della quantità q rappresenta invece la **portata** dello strumento.

I dispositivi **ADC** (*Analog Digital Converter*) eseguono congiuntamente la quantizzazione e la codifica. Ogni campione analogico in ingresso deve essere quantizzato ad uno dei livelli permessi: infatti, *ogni ADC ha un numero massimo di quanti in cui può suddividere il segnale analogico in ingresso, in dipendenza del suo numero di bit*.

Ci sono varie strategie per realizzare il processo di quantizzazione. *Quella più usata consiste nell'assegnare a ciascun campione analogico l'insieme di quanti che meglio lo approssimi*. In particolare, fissato uno **scostamento minimo** (dipendente dalla risoluzione dell'ADC), si fa un confronto tra il campione analogico e l'insieme di quanti e si corregge quest'ultimo fin quando lo scostamento è nullo o comunque inferiore al suddetto minimo.

Ricordiamo che un qualsiasi numero **N** può essere espresso, in un sistema di numerazione con generica base **b**, nel modo seguente:

$$N_b = A_n b^n + A_{n-1} b^{n-1} + \dots + A_1 b^1 + A_0 b^0 + A_{-1} b^{-1} + \dots + A_{-m} b^{-m}$$

dove i coefficienti A (le **cifre** del numero) possono assumere valori interi compresi tra 0 e $b-1$.

Eliminando la parte frazionaria e considerando il sistema binario (per cui $b=2$), l'espressione diventa

$$N_b = A_n 2^n + A_{n-1} 2^{n-1} + \dots + A_1 2^1 + A_0 2^0$$

Allora, se indichiamo con X l'ampiezza del generico campione analogico in ingresso all'ADC e supponiamo che si tratti di un **convertitore unipolare** (cioè con segnali in ingresso con una sola polarità), potremo scrivere che

$$X = q \cdot (A_{n-1} 2^{n-1} + A_{n-2} 2^{n-2} + \dots + A_1 2^1 + A_0 2^0) = q \cdot \sum_{i=0}^{n-1} A_i 2^i$$

dove ovviamente i coefficienti A_i possono assumere solo i valori 0 ed 1.

Per ottenere la **portata** (o *valore di fondo scala*) del convertitore, ci basta moltiplicare la risoluzione q per il modulo $M=2^n$ del dispositivo:

$$X_{FS} = q \cdot M = q \cdot 2^n$$

Da qui scaturisce evidentemente che la **risoluzione** è

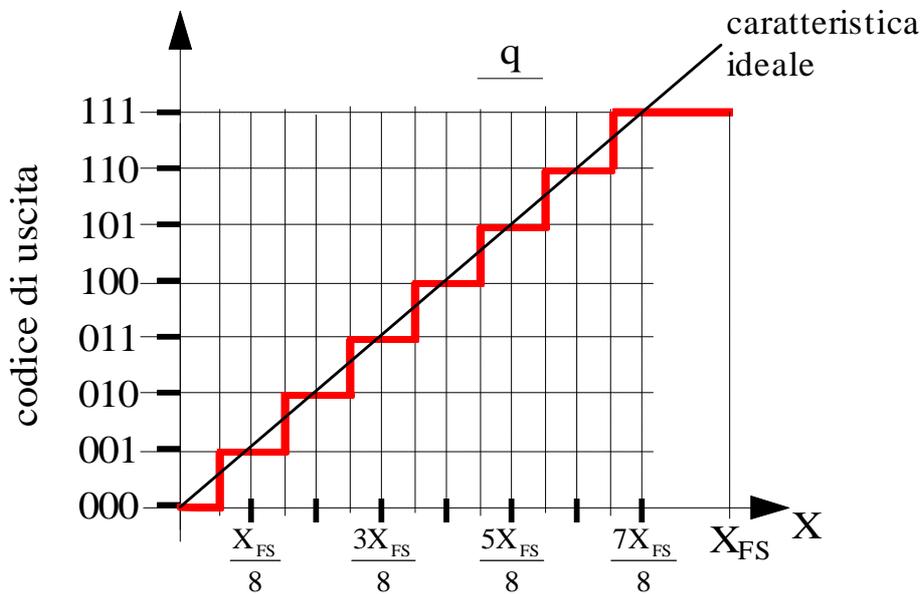
$$X_{\min} = q = \frac{X_{FS}}{2^n}$$

Ad esempio, un convertitore da 3 (oppure 8 oppure 12) bit ha una risoluzione pari a $0.125X_{FS}$ (oppure $0.0039X_{FS}$ oppure $0.000244X_{FS}$).

Sostituendo adesso il valore di q nell'espressione di X , scriviamo che

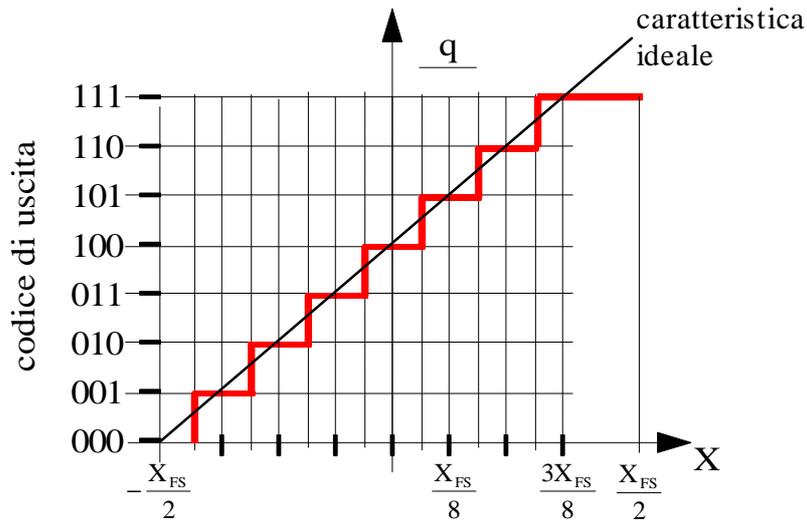
$$X = \frac{X_{FS}}{2^n} \cdot \sum_{i=0}^{n-1} A_i 2^i$$

Nel rappresentare in un diagramma cartesiano una **grandezza quantizzata**, si pongono in ascisse i valori del segnale analogico in ingresso e in ordinate le corrispondenti parole di codice. A livello puramente ideale, la caratteristica di trasferimento di un convertitore dovrebbe essere una linea retta che congiunge l'origine del piano cartesiano con il punto corrispondente alla massima tensione applicabile in ingresso (ascisse) ed al più elevato stato di uscita digitale (ordinate). Al contrario, nel caso reale, essendo finito il numero di stati digitali ottenibili in uscita, non si può che adottare una caratteristica a scalinata, del tipo riportato nella figura seguente:



*Caratteristica di trasferimento a gradina per un **ADC a 3 bit di tipo unipolare**. I fronti verticali della caratteristica corrispondono ai cosiddetti **livelli di soglia**, oltre i quali cioè si passa da uno "stato" di uscita al successivo. Gli "stati" andrebbero indicati in ordinate, ma si è preferito indicare direttamente le parole binarie corrispondenti, in modo da racchiudere in un unico diagramma le due fasi di quantizzazione e codifica. E' anche tracciata la **caratteristica ideale** del convertitore.*

Quello appena riportato è il diagramma relativo ad un ADC a 3 bit di tipo unipolare. Se, invece, l'ADC fosse bipolare, per cui tollerasse in ingresso segnali di polarità sia positiva sia negativa, allora basterebbe traslare la curva verso sinistra e verso il basso, in modo da renderla simmetrica rispetto all'origine:



Notiamo immediatamente che, mentre nel caso unipolare i valori di X variano da 0 a X_{FS} , nel caso bipolare tali valori sono tra $-X_{FS}/2$ e $X_{FS}/2$.

In diagrammi di questo tipo, è interessante notare che, mentre in ordinate sono presenti 2^n possibili stati di uscita, ci sono solo $2^n - 1$ livelli di decisione analogica (detti **livelli di soglia** e corrispondenti ai fronti verticali) nella funzione di trasferimento: nel caso dell'ADC a 3 bit, abbiamo per esempio 8 stati digitali ma solo 7 livelli di soglia (corrispondenti ai fronti verticali della "gradinata"). Questa differenza tra "livelli" in ingresso ed in uscita comporta che il valore massimo dell'ingresso analogico sia

$$X_{\max} = X_{FS} - q$$

e cioè inferiore al **valore di fondo scala**, in modo tanto meno marcato quanto migliore (cioè più piccola) è la risoluzione.

Un'altra osservazione importante si può fare a proposito della curva relativa all'ADC unipolare: notiamo infatti che il primo livello di soglia, anziché trovarsi in corrispondenza di $\frac{X_{FS}}{8}$, si trova in corrispondenza di $\frac{X_{FS}}{16}$, che poi corrisponde a $\frac{q}{2}$. Questa traslazione verso sinistra ha il preciso scopo, come vedremo tra poco, di ridurre l'**errore di quantizzazione** intrinsecamente presente nel processo di conversione. Dobbiamo allora tenerne conto, andando a correggere le formule proposte poco fa, nel modo seguente:

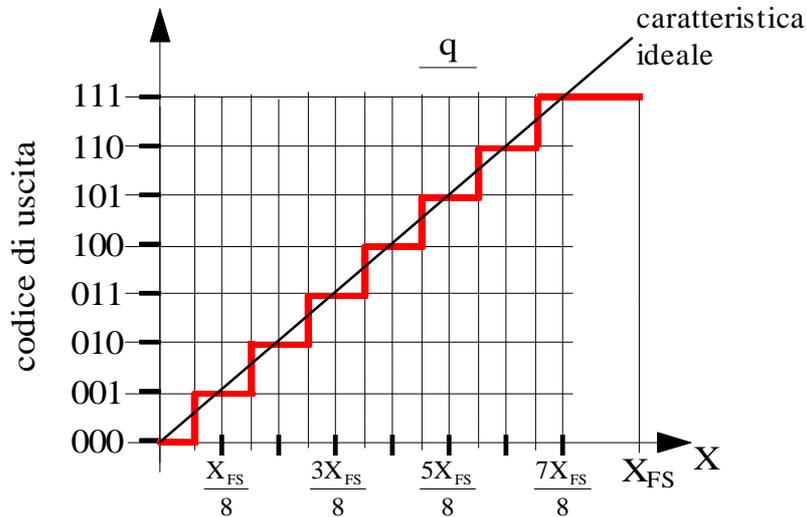
$$X = \frac{X_{FS}}{2^n} \cdot \sum_{i=0}^{n-1} A_i 2^i - \frac{q}{2}$$

$$X_{\max} = X_{FS} - q - \frac{q}{2}$$

Notiamo dunque un aumento della differenza tra valore massimo e valore di fondo scala in ingresso, ma la cosa non crea problemi, in quanto di esso si tiene conto nel corso della taratura del dispositivo.

Errore di quantizzazione

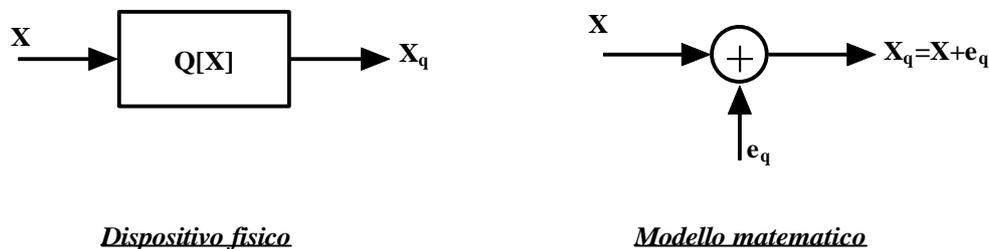
Abbiamo osservato prima che la caratteristica ideale di trasferimento di un ADC dovrebbe essere una retta, in modo da poter associare a tutti i possibili valori del segnale analogico in ingresso una corrispondente configurazione di bit. Al contrario, avendo a disposizione solo un numero discreto e finito di configurazioni binarie, al posto della retta siamo costretti ad utilizzare la **curva a scalinata** di cui abbiamo parlato prima e che qui riproponiamo:



Proprio il fatto di usare questo tipo di curva comporta che la conversione A@D sia sempre soggetta ad una perdita di informazione tra i livelli di soglia analogica: infatti, un qualsiasi valore analogico X compreso, per esempio, tra $\frac{X_{FS}}{16}$ e $\frac{3X_{FS}}{16}$ sarà convertito sempre nel codice 001, per cui avremo una inevitabile distorsione del segnale in uscita rispetto a quello in ingresso (il discorso vale ovviamente per tutte le soglie).

Questa distorsione prende il nome di **errore di quantizzazione** ed è evidentemente intrinseco alla natura del processo di quantizzazione: esso non è eliminabile in alcun modo, ma solo riducibile.

Dal punto di vista matematico, questo errore di quantizzazione può essere interpretato semplicemente come un **rumore di quantizzazione** che, dopo il processo di conversione, risulta sommato al segnale utile (cioè al segnale non quantizzato):



Questa figura mostra che il segnale X_q in uscita dal quantizzatore è rappresentabile come somma del segnale utile X (uguale a quello in ingresso) e del rumore di quantizzazione e_q (che rende l'uscita inevitabilmente diversa dall'ingresso).

Per determinare gli **effetti di quantizzazione** sulle prestazioni di un convertitore A/D, dobbiamo necessariamente adottare un approccio di tipo statistico: infatti, la dipendenza dell'errore di quantizzazione dalle caratteristiche del segnale di ingresso e la natura non lineare del

quantizzatore stesso rendono inattuabile una analisi di tipo deterministico, tranne in alcuni casi particolarmente semplici.

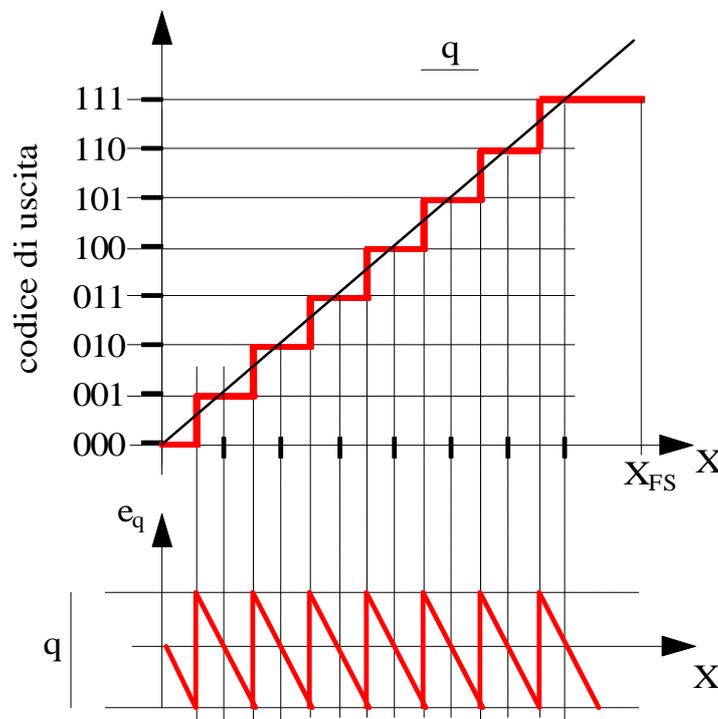
Possiamo subito fare una considerazione: se il segnale analogico di ingresso è all'interno del **range di ingresso** del convertitore, l'errore di quantizzazione è necessariamente limitato in ampiezza: per essere precisi, se indichiamo con e_q tale errore, se supponiamo di aver adottato una quantizzazione uniforme (cioè con intervalli di quantizzazione tutti di uguale ampiezza) e se indichiamo con q l'ampiezza (costante) degli intervalli di quantizzazione, possiamo evidentemente scrivere che

$$|e_q| \leq \frac{q}{2}$$

In questa ipotesi, l'errore risultante è detto **rumore granulare**. Da notare che la maggiorazione di $q/2$ è dovuta proprio al fatto di aver scelto il primo livello di soglia non in corrispondenza di $X=0$ ma in corrispondenza di $\frac{X_{FS}}{16}$; se invece avessimo preso $X=0$, allora la maggiorazione sarebbe salita al valore q .

L'altra possibile situazione è quella in cui l'ingresso del quantizzatore presenta valori anche al di fuori della dinamica di ingresso: in questo caso, l'errore e_q non sarà più limitato in ampiezza e si parla allora di **overload noise** (ossia *rumore da sovraccarico*). Questo tipo di rumore può determinare varie distorsioni sul segnale: l'unico rimedio possibile è quello di scalare opportunamente il segnale prima di mandarlo al quantizzatore, in modo che il suo range dinamico si avvicini il più possibile a quello di ingresso del quantizzatore o, ancora meglio, sia contenuto in esso (nel qual caso avremo solo rumore granulare, come detto).

Nell'analisi che seguirà, faremo l'ipotesi che non ci sia *overload noise*. Questo fa sì che il rumore di quantizzazione abbia un andamento tipico a dente di sega, con ampiezza variabile tra 0 e $\pm q/2$. La figura seguente mostra l'andamento di tale rumore in relazione ai valori dell'ingresso X :

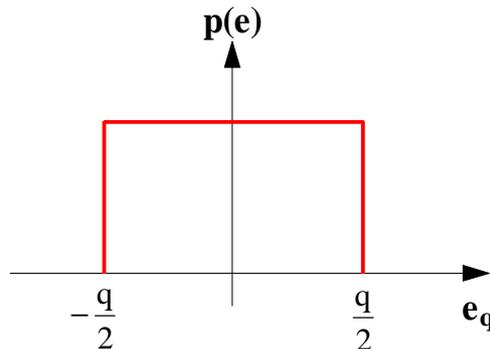


L'andamento qui riportato è facilmente comprensibile: ad esempio, per valori di X inferiori al primo livello di soglia ($X_{FS}/16$), la configurazione binaria associata è 000, per cui l'errore di quantizzazione è chiaramente negativo e crescente in modulo fin quando X giunge proprio alla

soglia; l'errore di quantizzazione è invece nullo in tutti i punti in cui la caratteristica reale incontra quella ideale rettilinea. In ogni caso, è evidente la limitazione del modulo dell'errore al valore $q/2$.

Per semplificare la nostra analisi, facciamo le seguenti ipotesi circa le proprietà statistiche del rumore e_q :

- in primo luogo, oltre a supporre che ci sia solo rumore granulare, per cui $|e_q| \leq q/2$, supponiamo anche che e_q sia uniformemente distribuito nell'intervallo $[-q/2, q/2]$; ciò significa che, in tale intervallo, risulta uniformemente distribuita la funzione *densità di probabilità dell'ampiezza dell'errore di quantizzazione*, come indicato nella figura seguente:



- in secondo luogo, supponiamo che e_q sia **rumore bianco stazionario**: questo significa, in termini statistici, che la funzione di autocorrelazione corrisponde ad un impulso piazzato nell'origine;
- supponiamo inoltre che e_q sia incorrelato con il segnale di ingresso X ;
- infine, supponiamo che il segnale X sia stazionario (così come e_q).

Queste ipotesi non sempre sono verificate. In generale, possiamo dire che lo sono tanto più quanto più il passo di quantizzazione q è piccolo e quanto più il segnale X attraversa vari livelli di quantizzazione tra due campioni successivi (ossia sostanzialmente quanto più brusche sono le variazioni temporali del segnale).

Sotto queste ipotesi, l'effetto del rumore e_q che si somma al segnale può essere notoriamente quantificato tramite il rapporto segnale/rumore, eventualmente espresso in unità logaritmiche:

$$SQNR = \left. \frac{S}{N} \right|_{dB} = 10 \log_{10} \frac{S}{N} = 10 \log_{10} \frac{P_X}{P_N}$$

In questa relazione, **SQNR** sta per *Signal-to-Quantization Noise Ratio* e corrisponde appunto al rapporto tra la potenza P_X del segnale e la potenza P_N del rumore di quantizzazione. Avendo a che fare con segnali aleatori, sappiamo che tali potenze vanno misurate in termini di valore quadratico medio, ossia di varianza:

$$SQNR = 10 \log_{10} \frac{\sigma_X^2}{\sigma_N^2}$$

A questo punto, mentre la potenza del segnale utile X deve essere valutata caso per caso, possiamo dire qualcosa in più a proposito del rumore: abbiamo infatti supposto che la sua densità di probabilità sia uniformemente distribuita sull'intervallo $[-q/2, q/2]$; applicando allora la definizione

di valore quadratico medio e considerando che si suppone anche che il processo di rumore sia a media nulla, possiamo scrivere che

$$\sigma_N^2 = \int_{-q/2}^{q/2} e^2 p(e) de = \frac{1}{q} \int_{-q/2}^{q/2} e^2 de = \frac{q^2}{12}$$

Abbiamo dunque trovato il noto valore $q^2/12$ della potenza del rumore di quantizzazione, valido per una quantizzazione uniforme e per una p(e) uniformemente distribuita.

Sostituendo questa espressione in quella del rapporto S/N, otteniamo

$$\text{SQNR} = 10 \log_{10} \frac{\sigma_X^2}{\sigma_N^2} = 20 \log_{10} \frac{\sigma_X}{\sigma_N} = 20 \log_{10} \frac{\sigma_X}{q/\sqrt{12}} = 20 \log_{10} \frac{\sigma_X}{q/2\sqrt{3}}$$

Questa espressione può essere combinata con quella che quantifica la risoluzione q : infatti, sappiamo che, se X_{FS} è l'ampiezza del range di ingresso del quantizzatore e si divide tale range in 2^n intervalli di quantizzazione (cioè si quantizza con n bit per campione), allora si può chiaramente scrivere che $q = X_{FS} / 2^n$. Sostituendo in SQNR, otteniamo

$$\text{SQNR} = 20 \log_{10} \frac{\sigma_X}{\frac{X_{FS}}{2^n} \cdot \frac{1}{2\sqrt{3}}} = 20 \log_{10} 2^n + 20 \log_{10} 2\sqrt{3} - 20 \log_{10} \frac{X_{FS}}{\sigma_X}$$

Separando, nel primo logaritmo, il termine dipendente da n , si conclude che

$$\boxed{\text{SQNR} = 6.02 \cdot n + 10.79 - 20 \log_{10} \frac{X_{FS}}{\sigma_X}}$$

Questa formula mostra chiaramente quanto, a parità di deviazione standard σ_X del segnale, le prestazioni del quantizzatore dipendano in modo direttamente proporzionale dal range di ingresso X_{FS} del quantizzatore e dal numero di bit usati per la quantizzazione.

La quantità $6.02 \cdot n$ presente in quella formula prende il nome di **campo dinamico (DR, Dynamic Range)**; la sua definizione generale è quella di rapporto tra il livello massimo e minimo del segnale che possono essere misurati con una accuratezza specificata. Nel caso di un ADC, la definizione risulta essere evidentemente

$$\text{DR} = 20 \log_{10} 2^n = 6.02 \cdot n \quad (\text{dB})$$

All'aumentare del numero di bit di quantizzazione, il campo dinamico aumenta ed aumenta anche l'SQNR, ossia diminuisce il rumore di quantizzazione. Ad esempio, un convertitore ad 8 bit possiede un campo dinamico di 48,2dB, mentre uno a 12 bit possiede un campo dinamico di 72.2dB. A parità di segnale in ingresso, quindi, il convertitore da 12 presenta un SQNR migliore di ben 24 dB !

Esempio

Per avere una idea concreta di quello che abbiamo detto nell'ultimo paragrafo, supponiamo che il segnale di ingresso al convertitore abbia una distribuzione gaussiana a media nulla e deviazione standard σ_X ; supponiamo inoltre di utilizzare un quantizzatore il cui range di ingresso valga 6 volte la varianza di X, il che significa che tale range è $[-3\sigma_X, +3\sigma_X]$, per cui la sua ampiezza è $X_{FS}=6\sigma_X$. Sostituendo, otteniamo

$$SQNR[dB] = 6.02 \cdot n + 16.81 - 20 \log_{10} \frac{6\sigma_X}{\sigma_X} = 6.02 \cdot n + 1.25 \cong 6.02 \cdot n$$

Questa formula è spesso utilizzata per specificare la precisione richiesta dal quantizzatore: essa dice semplicemente che ogni incremento di 1 bit per la quantizzazione corrisponde ad un incremento del rapporto S/N di circa 6 dB.

Si nota inoltre che il rapporto S/N, per il segnale considerato in questo esempio, è risultato essere pari praticamente al campo dinamico del dispositivo.

Numero di bit equivalenti

Si possono fare ulteriori passaggi. Ad esempio, abbiamo trovato prima che la varianza del rumore di quantizzazione vale

$$\sigma_N^2 = \frac{q^2}{12} = \frac{(X_{FS}/2^n)^2}{12} = \frac{X_{FS}^2}{3 \cdot 2^{2n+2}}$$

Da questa relazione possiamo esplicitare il numero n di bit di quantizzazione in funzione della varianza σ_N^2 del rumore di quantizzazione:

$$n = \frac{1}{2} \log_2 \frac{X_{FS}^2/12}{\sigma_N^2}$$

Per definizione, σ_N^2 non è altro che la potenza del rumore di quantizzazione; il numeratore $X_{FS}^2/12$, invece, non è altro che la varianza di un segnale a media nulla con valori equiprobabili nell'intervallo $(-X_{FS}/2, X_{FS}/2)$. Quindi, se il segnale in ingresso avesse queste caratteristiche di equiprobabilità, potremmo scrivere che

$$n = \frac{1}{2} \log_2 SQNR$$

Al contrario, il segnale X in ingresso al quantizzatore può avere caratteristiche del tutto generiche. Allora, indicata genericamente con σ_X^2 la varianza di tale segnale e considerato il corrispondente SQNR, si definisce **numero di bit equivalenti** del convertitore la seguente quantità:

$$n_{eq} = \frac{1}{2} \log_2 SQNR = \frac{1}{2} \log_2 \frac{\sigma_X^2}{\sigma_N^2}$$

In pratica, quindi, *il numero di bit equivalenti di un ADC coincide con il numero di bit di quantizzazione solo se il segnale in ingresso è a*

media nulla e con valori equiprobabili nell'intervallo $(-X_{FS}/2, X_{FS}/2)$, cioè sostanzialmente ha le stesse caratteristiche ipotizzate per il rumore di quantizzazione; in caso contrario, risulta $n_{eq} < n$.

E' interessante osservare che si può dare una ulteriore definizione del numero di bit equivalenti, che includa anche il funzionamento non ideale del campionatore.

Facciamo innanzitutto l'ipotesi che gli errori introdotti sia dal campionatore sia dal convertitore siano modellabili tramite un rumore stazionario, bianco, a media nulla ed incorrelato con il segnale; indichiamo le rispettive deviazioni standard con σ_C e σ_Q . Se supponiamo che tali processi di rumore siano anche incorrelati tra loro, sappiamo che *essi si sommano in potenza*, ossia che la varianza del rumore complessivo è la somma delle singole varianze:

$$\sigma_{TOT}^2 = \sigma_C^2 + \sigma_Q^2$$

In base a questa posizione, quando andiamo a calcolare il rapporto S/N all'uscita del convertitore, avremo ancora σ_X^2 come varianza del segnale, ma dovremo considerare σ_{TOT}^2 come varianza del rumore. Scriviamo allora che il **numero di bit equivalenti** dell'intero sistema digitale è

$$n_{eq,TOT} = \frac{1}{2} \log_2 SQNR = \frac{1}{2} \log_2 \frac{\sigma_X^2}{\sigma_{TOT}^2} = \frac{1}{2} \log_2 \frac{\sigma_X^2}{\sigma_Q^2} \frac{\sigma_Q^2}{\sigma_{TOT}^2} = \frac{1}{2} \log_2 \frac{\sigma_X^2}{\sigma_Q^2} + \frac{1}{2} \log_2 \frac{\sigma_Q^2}{\sigma_{TOT}^2}$$

In base a quanto visto prima, il termine $\frac{1}{2} \log_2 \frac{\sigma_X^2}{\sigma_Q^2}$ non è altro che il rapporto segnale/rumore in uscita dall'ADC nell'ipotesi che non ci sia alcun rumore dovuto al campionatore, per cui è il numero effettivo di bit del solo ADC: lo indichiamo con $n_{eq,Q}$, per cui scriviamo che

$$n_{eq} = n_{eq,Q} + \frac{1}{2} \log_2 \frac{\sigma_Q^2}{\sigma_{TOT}^2} = n_{eq,Q} + \frac{1}{2} \log_2 \frac{\sigma_Q^2}{\sigma_C^2 + \sigma_Q^2} = n_{eq,Q} - \frac{1}{2} \log_2 \left(1 + \frac{\sigma_C^2}{\sigma_Q^2} \right)$$

Abbiamo dunque concluso che

$$n_{eq} = n_{eq,Q} - \frac{1}{2} \log_2 \left(1 + \frac{\sigma_C^2}{\sigma_Q^2} \right)$$

In base a questa espressione, deduciamo che il **numero di bit equivalenti dell'intero sistema digitale**⁴ coincide con quello del solo ADC solo in assenza di rumore dovuto al campionatore ($\sigma_C=0$); in caso contrario, n_{eq} risulta inferiore a $n_{eq,Q}$. Inoltre, si nota che il numero di bit equivalenti, indicatore di merito di un sistema digitale, aumenta al diminuire del rumore di quantizzazione σ_Q^2 , ossia all'aumentare del numero n di bit di quantizzazione.

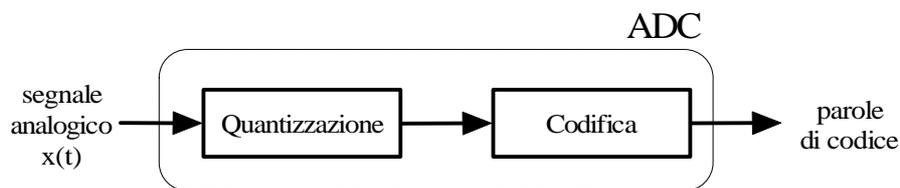
⁴ Facciamo osservare che la definizione di sistema digitale è del tutto generale, nel senso che l'ADC potrebbe essere preceduto da altri dispositivi oltre il campionatore: in questo caso, σ_C indica la deviazione standard del rumore complessivo in uscita dalla cascata di tali dispositivi.

Cause di errore

E' bene precisare, come del resto già fatto in precedenza, che la caratteristica a scalinata di un ADC riportata in precedenza non è mai quella reale, in quanto si presentano sempre errori di offset (scarto dallo zero), di guadagno, di non linearità, di isteresi, oltre che variazioni dei parametri con il tempo e la temperatura. Mentre è possibile usare dei dispositivi di controllo per correggere gli errori di offset e di guadagno, l'errore di non linearità è una caratteristica funzionale dell'ADC e quindi difficilmente può essere corretto.

CONVERSIONE A→D SENZA CAMPIONATORE

E' possibile eseguire una conversione analogico→digitale senza usare il campionatore, ossia utilizzando direttamente l'ADC:



In questo caso, diventa fondamentale il valore del cosiddetto **tempo di apertura** dell'ADC, definito come il tempo durante il quale esso esegue la conversione. Vediamo perché.

Se $x(t)$ è il segnale analogico in ingresso, la sua variazione temporale è $\frac{dx(t)}{dt}$; allora, in un intervallo di tempo pari a t_a , la variazione del segnale è stimabile come

$$\Delta x \cong t_a \frac{dx(t)}{dt}$$

D'altra parte, in base a questa posizione, Δx risulta anche essere l'errore commesso dall'ADC nel ritenere che il segnale rimanga costante durante il tempo t_a ; allora, se questo errore non è elevato o comunque risulta comparabile con la quantità $q/2$, è lecito evitare l'uso del campionatore.

In termini ancora più concreti, possiamo dire che *il tempo di apertura definisce la massima frequenza di un segnale sinusoidale convertibile senza l'uso di un campionatore*. Infatti, se consideriamo un segnale sinusoidale $x(t) = X_M \sin(\omega_0 t + \varphi)$, la sua derivata risulta essere

$$\frac{dx(t)}{dt} = \omega_0 X_M \cos(\omega_0 t + \varphi)$$

Il valore massimo di questa derivata è quindi $\omega_0 X_M$, per cui il massimo errore che possiamo compiere, non usando il campionatore, è $(\Delta x)_{\max} = t_a \omega_0 X_M$. A parità di ampiezza del segnale e di tempo di apertura, è il valore di ω_0 a determinare l'errore; fin quando esso si mantiene al di sotto di $q/2$, la conversione senza il campionatore è accettabile. Facendo appunto l'uguaglianza tra $q/2$ e $(\Delta x)_{\max}$, otteniamo

$$\frac{q}{2} = t_a (\omega_0)_{\max} X_M$$

da cui, ricordando che $\omega=2\pi f$, deduciamo che la massima frequenza campionabile è

$$f_{0,\max} = \frac{q}{4\pi t_a X_M}$$

D'altra parte, ci ricordiamo che la risoluzione è

$$q = \frac{X_{FS}}{2^n} = \frac{X_{\max} + q}{2^n} \longrightarrow q = \frac{X_{\max}}{2^n - 1}$$

Sostituendo nell'espressione della massima frequenza campionabile, abbiamo che

$$f_{0,\max} = \frac{1}{4\pi t_a X_M} \frac{X_{\max}}{2^n - 1}$$

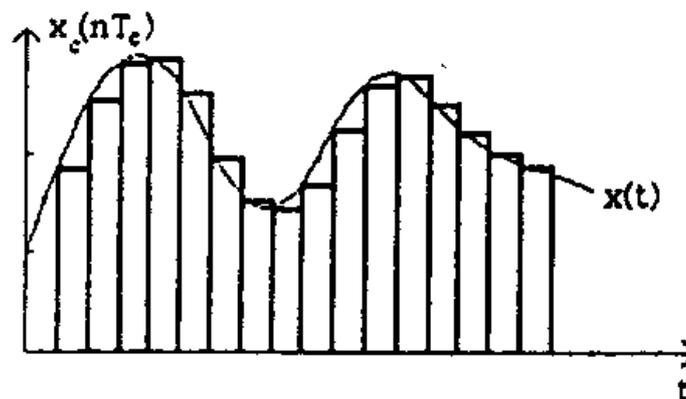
Dato che stiamo considerando un segnale sinusoidale, i cui valori di picco (positivo e negativo) sono $+X_M$ e $-X_M$, deduciamo che $X_{\max}=2X_M$, per cui concludiamo che

$$f_{0,\max} = \frac{1}{2\pi t_a} \frac{1}{2^n - 1}$$

Fissati dunque il tempo di apertura ed il numero di bit del convertitore, questa formula mostra la massima frequenza del segnale sinusoidale campionabile senza l'uso preventivo del campionatore.

ADC A RAMPA

Passiamo adesso in rassegna alcuni importanti circuiti usati per una conversione analogico→digitale. Il segnale in ingresso a questi dispositivi è del tipo in uscita da un **SHA** (*dispositivo a campionamento e tenuta*), ossia una successione di impulsi rettangolari affiancati del tipo seguente:



Lo scopo degli ADC è quello di convertire ciascuna ampiezza dei vari **rettangoli** in un numero finito e discreto di **livelli** (o *stati*), che poi saranno codificati in modo binario da dispositivi successivi. Quindi, in corrispondenza di ciascuna conversione, dobbiamo considerare un segnale in

ingresso che sia costante su un determinato *valore* V_X ; il convertitore deve agire sulla base di questo valore e fornire in uscita un numero N di livelli ad esso proporzionale:

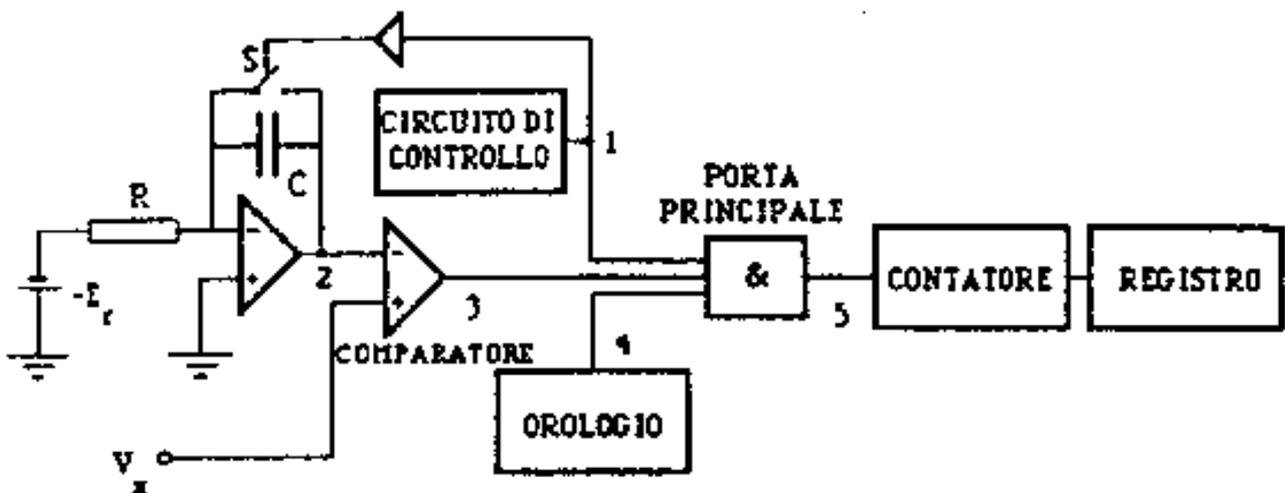
$$V_X = \text{cost} \cdot N$$

Quindi, per descrivere il funzionamento di un ADC, dovremo immaginare che il segnale applicato in ingresso (che indicheremo sempre con V_X) sia costante.

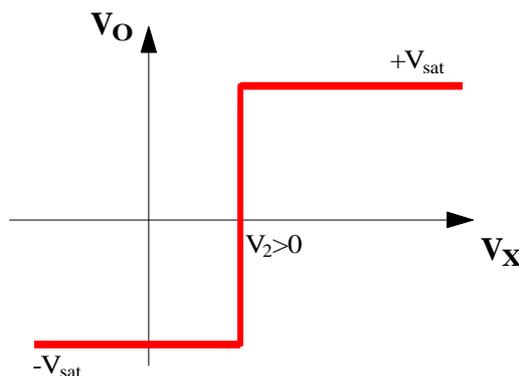
Nel caso particolare degli **ADC a rampa**, vedremo tra un attimo che *la conversione si basa sul fatto di contare, durante il tempo di conversione, quanti impulsi sono stati prodotti da un apposito generatore (che chiameremo **orologio**)*: il numero N di impulsi contati corrisponde al numero di livelli da associare all'ampiezza del *rettangolo* in esame. Per questo motivo, gli ADC a rampa rientrano nella categoria dei **convertitori tensione-tempo**.

ADC a semplice rampa

Il più semplice ADC a rampa è quello detto **a semplice rampa**, di cui la figura seguente riporta una schematizzazione, nell'ipotesi che il segnale in ingresso possa essere solo positivo:



Il segnale continuo in ingresso è rappresentato dalla tensione V_X portata sul morsetto non invertente di un **circuito comparatore** realizzato mediante un op-amp. Il funzionamento di questo circuito è noto ed è descritto dalla seguente caratteristica tensione-corrente, tracciata nell'ipotesi che la tensione sul morsetto invertente (indicata con V_2) sia anch'essa sempre positiva:

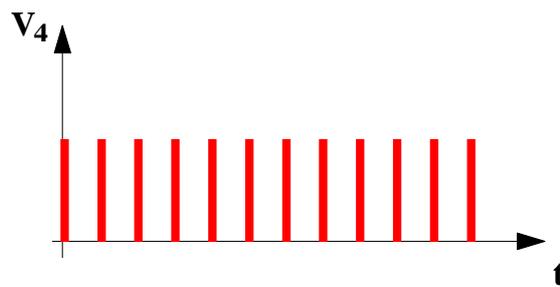


In base a questa caratteristica, il comparatore si mantiene nello stato logico 1 ($V_O=+V_{sat}$) fin quando la tensione V_X risulta superiore alla tensione V_2 , mentre invece commuta nello stato logico 0 ($V_O=-V_{sat}$) quando risulta $V_X \leq V_2$.

Il segnale V_2 applicato al morsetto invertente del comparatore è un **segnale a rampa** (da cui il nome del convertitore), generato da un **circuito integratore** realizzato anch'esso tramite un op-amp: questo circuito riceve in ingresso un segnale continuo E_r da cui, per integrazione, tira fuori la suddetta rampa⁵. Questa rampa viene generata ad intervalli regolari di tempo, in corrispondenza di ogni conversione.

Sempre nell'ambito dell'integratore, è presente un **interruttore elettronico S**, il quale si apre quando inizia la rampa; questa apertura viene rilevata dal **circuito di controllo**, il quale, nell'istante di apertura, consente l'inizio del *conteggio* di cui diremo tra un attimo, cioè la fase di conversione vera e propria.

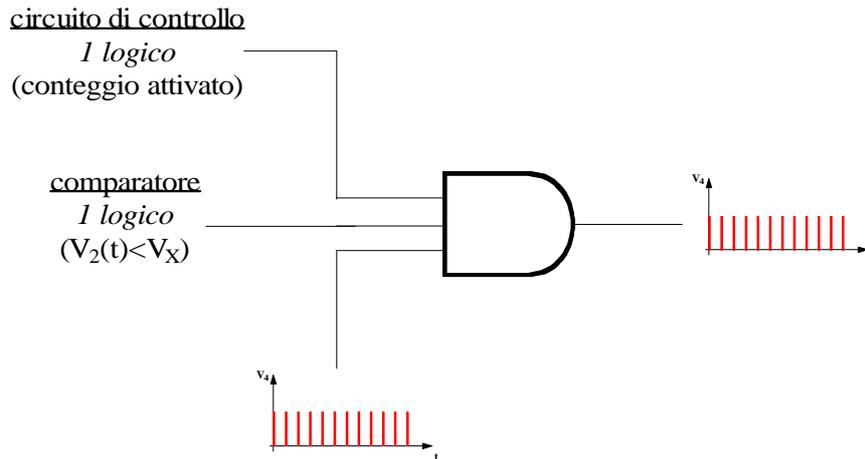
Nella parte centrale del diagramma a blocchi riportato, è presente una *porta principale*, ossia una semplice **porta AND a 3 ingressi**: gli ingressi sono il segnale in uscita dal comparatore (che quindi può essere, dal punto di vista logico, solo 0 ed 1), il segnale proveniente dal circuito di controllo (che vale 1 quando è attivato il *conteggio* e 0 altrimenti) ed il segnale proveniente da un **orologio**⁶: quest'ultimo segnale non è altro che un treno di impulsi (praticamente ideali) a frequenza fissa f_0 :



Ogni impulso corrisponde ad un 1 logico in ingresso alla porta AND. Il funzionamento a questo punto è semplice: nell'istante in cui parte la rampa V_2 , il circuito di controllo abilita il conteggio, inviando un 1 logico al primo ingresso della porta AND; fin quando la rampa V_2 non raggiunge il valore V_X in ingresso, anche l'uscita del comparatore è all' 1 logico; di conseguenza, la sequenza di impulsi porta alternativamente ad 1 ed a 0 l'uscita della porta AND:

⁵ Notiamo che il segnale continuo in ingresso all'integratore è applicato con la polarità negativa in corrispondenza del morsetto invertente dell'operazionale: questo perché, come è noto dall'analisi dell'integratore, la funzione di trasferimento del dispositivo è $H(s)=-1/sRC$, per cui bisogna eliminare quel segno negativo.

⁶ Questo orologio, dovendo fornire un successione di impulsi quasi ideali, è del tipo già visto in precedenza negli schemi del sistema di sincronizzazione di un oscilloscopio: si tratta della cascata di un oscillatore (generalmente al quarzo), un circuito di Schmitt (per la quadratura), un derivatore (per ottenere gli impulsi alternativamente positivi e negativi) ed un clipper (per sopprimere gli impulsi negativi).



In questa situazione, il contatore a valle della porta AND può dunque contare il numero di impulsi che *attraversano* la porta.

Questo conteggio prosegue fin quando la rampa $V_2(t)$ non raggiunge il valore di V_X ; quando questo accade, il comparatore commuta allo 0 logico, per cui la porta AND commuta anch'essa allo 0 logico e quindi termina il conteggio degli impulsi.

Da notare che, nella configurazione proposta, il circuito di controllo continua a lasciare aperto l'interruttore S fin quando la rampa $V_2(t)$ non raggiunge la portata dell'ADC o anche oltre. Raggiunto il limite, il circuito di controllo comanda la chiusura dell'interruttore e quindi la scarica del condensatore, in modo che l'integratore si predisponga per la successiva escursione, cioè per il successivo conteggio.

L'alternativa sarebbe quella di chiudere l'interruttore S appena $V_2(t)$ eguaglia V_X , in modo da scaricare prima il condensatore e poter subito ripartire con la successiva conversione. Il motivo per cui, invece, si fa arrivare $V_2(t)$ fino alla portata del dispositivo è quello di rendere il tempo di conversione costante e indipendente dalla tensione da convertire: infatti, se chiudessimo S appena $V_2(t)=V_X$, la conversione durerebbe di più quando V_X è maggiore e di meno quando V_X è minore, il che non è opportuno.

Possiamo adesso verificare a livello analitico il funzionamento dell'ADC appena descritto. Se f_0 è la frequenza di ripetizione degli impulsi forniti dall'orologio, la loro distanza temporale è $T_0=1/f_0$; allora, se il conteggio avviene durante un tempo t_c (detto appunto **tempo di conteggio**), il numero di impulsi contati in questo tempo è

$$N = \frac{t_c}{T_0} = t_c f_0$$

Vediamo allora quanto dura t_c . Esso è evidentemente il tempo necessario affinché la rampa $V_2(t)$ eguagli il valore di V_X ; considerando che tale rampa è

$$V_2(t) = \frac{1}{RC} \int_0^t E_r dt = \frac{1}{RC} E_r t$$

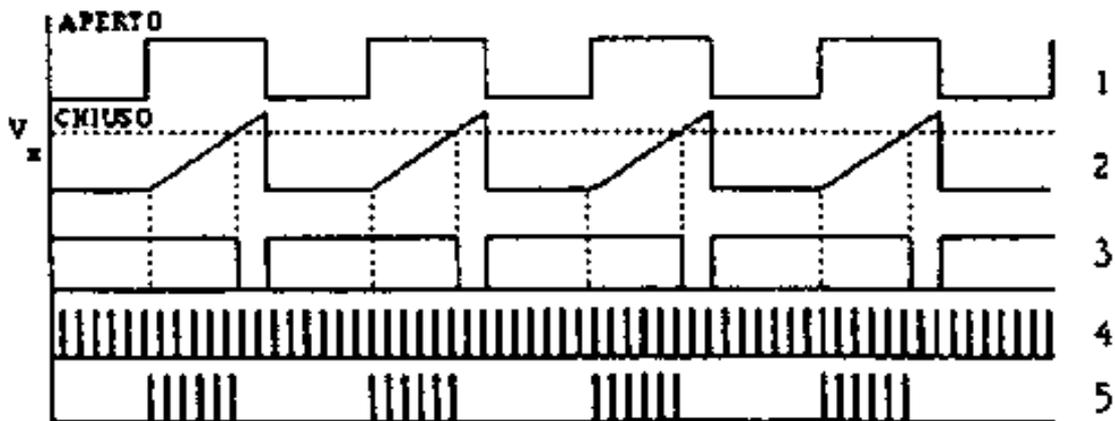
possiamo scrivere che t_c è quel tempo necessario affinché si verifichi l'uguaglianza

$$\boxed{V_X = \frac{1}{RC} E_r t_c = \frac{1}{RC} E_r \frac{N}{f_0}}$$

Da questa relazione risulta evidente la proporzione diretta tra il valore della tensione analogica V_X in ingresso ed il numero N di impulsi contati: questa proporzionalità fornisce la possibilità di convertire V_X da valore analogico in corrispondente valore digitale. Il coefficiente di proporzionalità è $\frac{E_r}{RC}$ e corrisponde evidentemente alla pendenza della rampa $V_2(t)$.

Il numero N è quello fornito dal contatore posto a valle della porta AND; al termine di ciascun conteggio, questo numero viene memorizzato nell'apposito **registro**, per la successiva codifica ed elaborazione oppure semplicemente per la presentazione su un visualizzatore.

Prima di passare oltre, perfezioniamo la nostra descrizione tramite il seguente diagramma temporale, in cui vengono riportate le tensioni in alcuni punti importanti del circuito appena descritto:



Il primo andamento in alto è quello dell'uscita del circuito di controllo, che assume lo stato logico 1 quando la rampa (andamento n°2) è avviata e lo stato logico 0 in caso contrario. Per semplicità, si è considerato il caso di un segnale V_X costante durante più conversioni e indicato da una linea tratteggiata disegnata insieme alla successione di rampe, in modo da evidenziare gli istanti di commutazione del comparatore.

Il terzo diagramma è proprio l'uscita del comparatore, che vale 0 (logico) quando la rampa supera V_X e 1 (logico) in tutti gli altri casi.

Gli ultimi due andamenti sono relativi agli impulsi: nel quarto andamento è riportata semplicemente la successione di impulsi nel suo complesso, mentre nel quinto (uscita della porta AND) sono riportati solo gli impulsi che passano attraverso la porta AND e che quindi vengono contati; avendo supposto V_X costante durante diverse conversioni, il numero di impulsi contati è evidentemente sempre lo stesso.

In conclusione, si nota quanto semplice sia un ADC a singola rampa. In realtà, a fronte di questa semplicità, esso presenta diversi svantaggi:

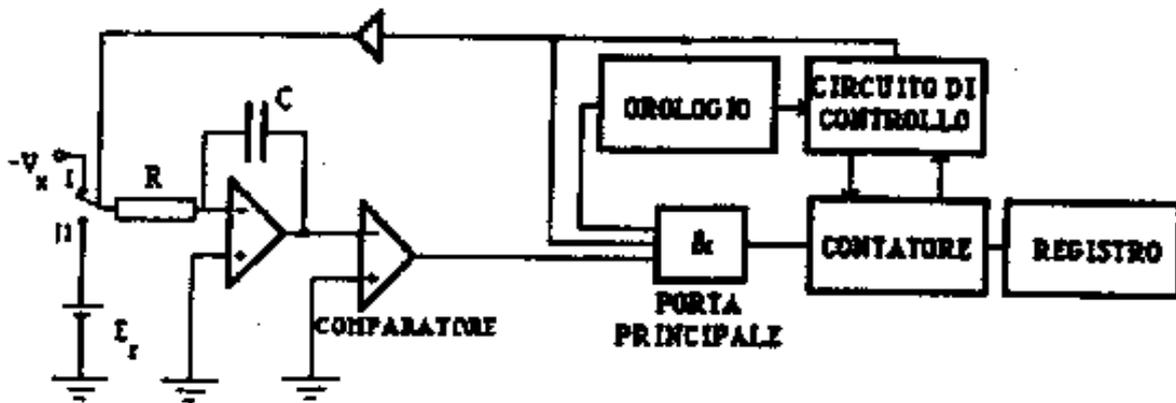
- in primo luogo, la pendenza $\frac{E_r}{RC}$ della rampa $V_2(t)$ (quindi la costante di proporzionalità tra N e V_X) dipende da R, C ed E_r e questi parametri (specialmente R e C) sono variabili sia con il tempo di utilizzo sia con la temperatura;
- in secondo luogo, la tensione da convertire è applicata direttamente all'ingresso del convertitore, senza un preventivo filtraggio: laddove si tema la presenza di un ingente rumore, non si può fare a meno di anteporre un **filtro antialiasing** al convertitore, ma questo rallenta evidentemente la velocità;

- infine, l'ADC misura segnali aventi una sola polarità, come precisato all'inizio. In effetti, questa limitazione è rimossa negli **ADC a semplice rampa bipolari**, nei quali si adotta una particolare configurazione circuitale che utilizza due comparatori.

ADC a doppia rampa

Per risolvere sia il problema della pendenza $\frac{E_r}{RC}$ variabile nella rampa sia la mancanza del prefiltraggio del segnale, si può usare un **ADC a doppia rampa**, che è anch'esso molto semplice e poco costoso, pur presentando una buona accuratezza di conversione.

I principi fondamentali di funzionamento sono gli stessi visti per l'ADC a singola rampa, tranne qualche accorgimento. Lo schema a blocchi cui far riferimento è il seguente:



Il meccanismo, come detto, è sempre quello di contare quanti impulsi passando attraverso la porta AND durante il **tempo di conteggio**, ossia durante il periodo in cui il circuito di controllo abilita il conteggio.

La fase iniziale del conteggio si ha quando il **circuito di controllo** esegue due operazioni contemporanee: abilita il conteggio (mandando un 1 logico in ingresso alla porta AND) e comanda il **commutatore elettronico** in ingresso in modo che si porti nella posizione I, per collegare il segnale (costante) V_x al circuito; in particolare, il segnale V_x viene questa volta mandato in ingresso all'integratore, in modo da generare la classica rampa

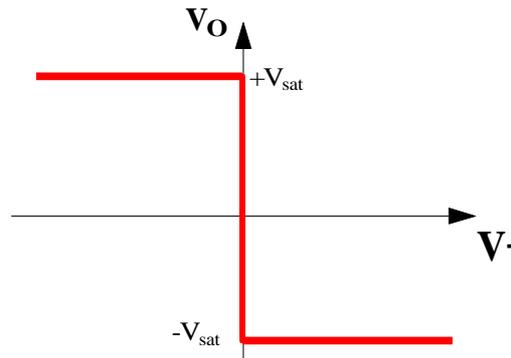
$$r(t) = \frac{1}{RC} \int_0^t V_x dt = \frac{1}{RC} V_x t$$

Il tempo di generazione di tale rampa è prefissato: lo indichiamo con **T**, il che significa che il valore massimo raggiunto da tale rampa è

$$V_c = \frac{1}{RC} V_x T$$

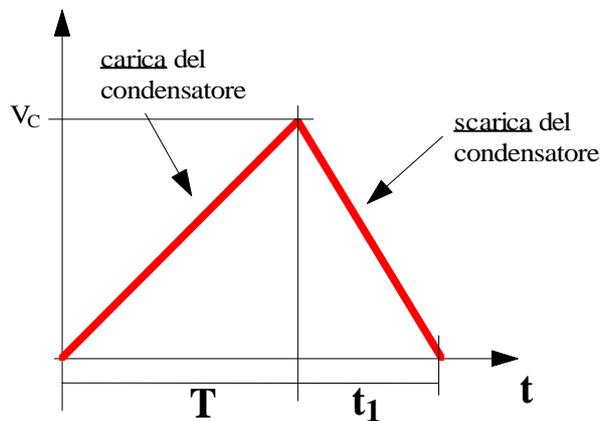
Una volta esaurito il tempo T, il circuito di controllo porta il commutatore nella posizione II, ossia sulla tensione continua di riferimento E_r : questa tensione viene presa con polarità opposta a V_x , in modo da permettere la scarica del condensatore, che avviene con pendenza costante (indipendente dal valore V_c).

L'uscita dell'integratore viene portata sull'ingresso invertente di un comparatore, il cui ingresso non invertente è invece portato al potenziale di terra; questo significa che la caratteristica ingresso-uscita del comparatore sia la seguente:



In base a questa caratteristica, l'uscita del comparatore è all'1 logico ($V_O = -V_{sat}$) quando $r(t)$ è positiva ed è allo 0 logico ($V_O = V_{sat}$) in tutti gli altri casi.

In base a quanto detto poco fa, il segnale in ingresso a questo comparatore è del tipo seguente:



La 1° parte della forma d'onda si ha durante la carica del condensatore, cioè durante il processo di integrazione della tensione in ingresso V_X ; la pendenza è V_X/RC . La 2° parte corrisponde invece alla scarica del condensatore. Come si dirà, mentre la prima fase dura un tempo prefissato, la seconda ha durata t_1 dipendente da V_C . La presenza di queste due fasi ha dato il nome di ADC **a doppia rampa**

Dato il cortocircuito virtuale tra i morsetti di ingresso dell'op-amp dell'integratore, la scarica del condensatore corrisponde alla diminuzione progressiva della tensione all'uscita dell'integratore; quando la scarica è completa, per cui l'uscita dell'integratore è nulla, il comparatore commuta, per cui l'uscita della porta AND va a 0 ed il conteggio viene bloccato, dato che il contatore invia un **segnale di fine conteggio** al circuito di controllo; quest'ultimo, infine, predispone l'azzeramento del contatore, l'eliminazione di eventuali cariche residue nel condensatore e la commutazione dell'interruttore elettronico nuovamente in posizione I, in modo da avviare la successiva conversione.

Da queste considerazioni, si deduce che il conteggio si compone essenzialmente di due fasi:

- la prima fase corrisponde alla carica del condensatore, cioè al processo di integrazione dell'ingresso V_X ; questa fase dura un tempo prefissato T e dà origine ad una rampa di pendenza $\frac{V_X}{RC}$ e di valore massimo $V_C = \frac{V_X}{RC} T$; entrambi questi valori dipendono dal valore di V_X ;

- la seconda fase corrisponde alla scarica del condensatore, che avviene con pendenza costante $\frac{E_r}{RC}$, ma con durata dipendente da V_C ; in particolare, se prendiamo il diagramma tensione-tempo dell'ultima figura, invertiamo l'asse delle ascisse e poniamo l'origine $t=0$ in corrispondenza della fine della conversione, possiamo scrivere che

$$V_C = \frac{1}{RC} \int_0^{t_1} E_r dt = \frac{E_r}{RC} t_1$$

Allora, se indichiamo con N_T ed N_1 il numero di impulsi contati, rispettivamente, durante gli intervalli di durata T e t_1 (si tenga presente che la frequenza di ripetizione degli impulsi è costante), possiamo scrivere che

$$N_T = \frac{T}{T_0} = T f_0 \qquad N_1 = \frac{t_1}{T_0} = t_1 f_0$$

Avendo poi trovato prima che $V_C = \frac{1}{RC} V_X T$, possiamo scrivere quanto segue:

$$V_X = \frac{RC}{T} V_C = \frac{RC}{T} \frac{E_r}{RC} t_1 = \frac{t_1}{T} E_r = \frac{N_1}{N_T} E_r \longrightarrow \boxed{V_X = \frac{N_1}{N_T} E_r}$$

Ancora una volta, abbiamo ottenuto una proporzionalità tra V_X ed il numero di impulsi contati durante il conteggio.

Si nota inoltre subito il grosso vantaggio rispetto a quanto trovato nel precedente paragrafo: la legge di proporzionalità dipende solo da E_r , mentre non dipende in alcun modo da R, C e da f_0 . *Dato che è possibile rendere estremamente stabile E_r , sia nel tempo sia con la temperatura, tramite diodi zener, è evidente che l'accuratezza del dispositivo è molto buona.* In aggiunta a questo, si fa in modo che l'orologio garantisca una frequenza di ripetizione degli impulsi perfettamente costante, in modo che il conteggio sia affidabile sia durante la carica sia durante la scarica del condensatore, ed inoltre si controlla con grande precisione la linearità dell'integratore, in modo da ridurre l'errore di non linearità⁷.

L'altro grosso pregio di questo ADC è proprio nella presenza dell'integratore come stadio di ingresso: infatti, l'integratore è un classico filtro passa-basso, che quindi taglia tutte le componenti di rumore (sommate al segnale utile) presenti oltre una data frequenza.

Inoltre, l'integratore consente di ottenere un altro importante risultato: infatti, come si evince dall'equazione

$$V_C = \frac{1}{RC} \int_0^T V_X(t) dt$$

l'integratore fornisce una rampa il cui valore massimo è proporzionale al valore medio del segnale in ingresso sul periodo T . Da qui deriva che eventuali componenti sinusoidali di rumore sommate al segnale verrebbero del tutto cancellate se hanno un periodo uguale o sottomultiplo di T (⁸). Per

⁷ A tal proposito, ricordiamo che questo tipo di errore è inevitabilmente sempre presente negli ADC, ma può comunque essere reso abbastanza piccolo.

⁸ Ricordiamo che il valor medio di una sinusoidale su un periodo (o un suo multiplo) è sempre zero.

esempio, se ci fosse una componente di rumore a 50 Hz (cioè alla frequenza di rete), basterebbe scegliere un periodo T di 20 ms per annullarla.

Quindi, l'integratore non solo effettua un filtraggio passa-basso del rumore (ed anche del segnale se non fosse contenuto nella banda passante) ma filtra anche componenti spettrali di rumore in bassa frequenza, purché in relazione armonica con l'inverso del periodo T .

ADC a rampe multiple

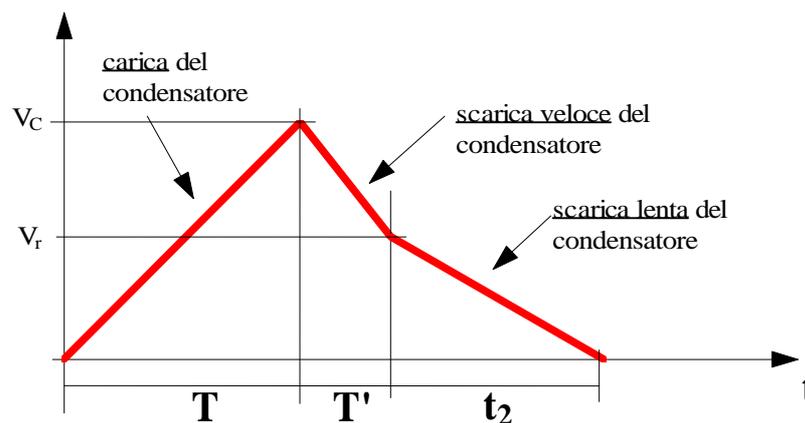
Dato il successo riscosso dall'ADC a doppia rampa, si è pensato di conferirli una maggiore velocità di conversione, realizzando il cosiddetto **convertitore a rampe multiple**.

Ad esempio, consideriamo un **convertitore a 3 rampe**, che si ottiene banalmente da quello a doppia rampa tramite un resistore R' da inserire, tramite apposito commutatore, in parallelo ad R . In particolare, supponiamo che sia $R' < R$ e poniamo $k = \frac{R}{R'}$.

Rispetto al convertitore a doppia rampa, abbiamo tre fasi anziché due:

- la prima fase è identica a quella vista nel caso precedente, cioè corrisponde alla carica del condensatore, che dura un tempo T prefissato e fa sì che la tensione in uscita dell'integratore (corrispondente alla tensione su C) si porti al valore $V_C = \frac{1}{RC} V_X T$;
- la seconda, nuova rispetto al caso precedente, corrisponde ad una prima scarica del condensatore, condotta tramite il resistore R' : essendo $R' < R$, tale scarica è più ripida di quella che avviene tramite R e dura un tempo T' necessario affinché la tensione in uscita raggiunga un valore prefissato V_r ;
- infine, la terza fase è identica alla seconda nel caso della doppia rampa e serve ad azzerare la tensione in uscita dall'integratore.

Abbiamo perciò, in uscita dall'integratore, una forma d'onda del tipo seguente:



Analizzando le fasi di carica e scarica così come fatto nei precedenti paragrafi, possiamo scrivere la seguente uguaglianza di valori di tensione:

$$\frac{V_X}{RC} T = V_r + \frac{E_r}{RC} t_2 = \frac{E_r}{R'C} T' + \frac{E_r}{RC} t_2 = \frac{E_r}{C} \left(\frac{T'}{R'} + \frac{t_2}{R} \right)$$

Esplicitando V_X , otteniamo che

$$V_X = E_r \frac{\frac{R}{R'} T' + t_2}{T} = E_r \frac{kT' + t_2}{T}$$

Con le solite posizioni

$$N_T = \frac{T}{T_0} = T f_0 \quad N_{T'} = \frac{T'}{T_0} = T' f_0 \quad N_2 = \frac{t_2}{T_0} = t_2 f_0$$

abbiamo dunque che

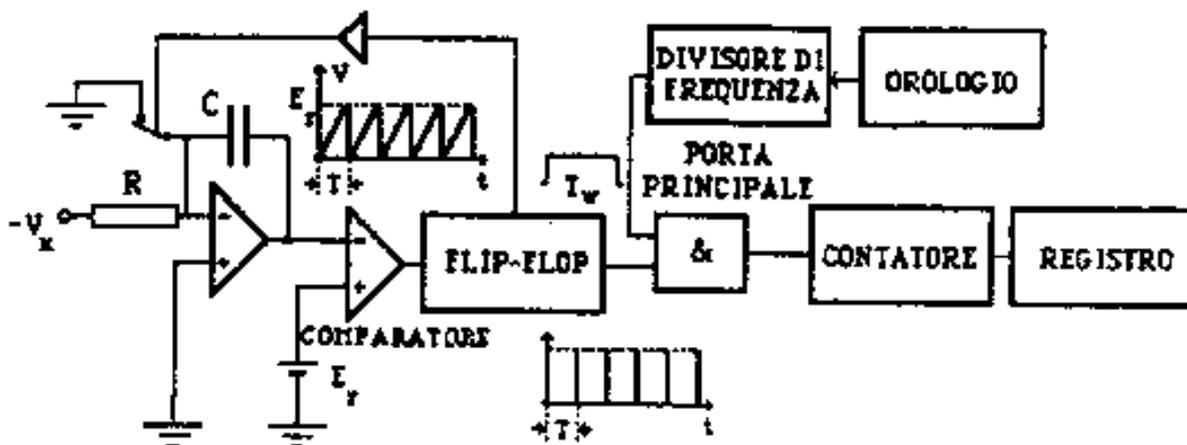
$$V_X = E_r \frac{kN_{T'} + N_2}{N_T}$$

Questa relazione mostra ancora una volta la desiderata proporzionalità tra V_X ed il numero di impulsi contati. Il vantaggio, rispetto al convertitore a doppia rampa, è che il tempo di scarica totale $T' + t_2$ è diminuito, dato che il valore della tensione iniziale è sempre lo stesso, ma la prima fase della scarica avviene più rapidamente. Quindi, a parità di risoluzione nel conteggio, abbiamo diminuito il tempo di conversione. E' intuitivo che predisponendo più resistori, di valori sempre più piccoli, in parallelo ad R , è possibile ottenere più rampe e ridurre ulteriormente il tempo di scarica.

CONVERTITORI TENSIONE-FREQUENZA

Gli ADC a rampa, esaminati nei precedenti paragrafi, rientravano nella categoria dei *convertitori tensione-tempo*. Vediamo invece adesso i cosiddetti **VFC** (*Voltage-Frequency Converter*), ossia in **convertitori tensione-frequenza**: il principio di fondo è quello di *convertire la tensione analogica V_X in ingresso in un segnale periodico (treno di impulsi, onda quadra o dente di sega) con una velocità di ripetizione proporzionale all'ampiezza di V_X stessa*. Il pregio di questi convertitori è nel fatto di ricondurre la conversione ad una misura di frequenza, che è quindi molto accurata in base a quanto visto nei capitoli precedenti.

Un semplice VFC ha il seguente schema a blocchi:



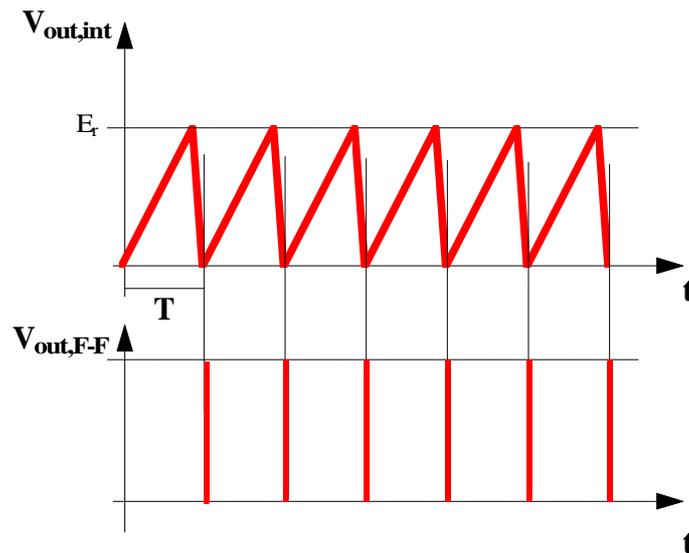
In comune con gli ADC a doppia rampa, questo VFC presenta lo stadio di ingresso rappresentato da un **integratore** e la parte finale rappresentata dalla **porta AND**, dal **contatore** e dal **registro finale**.

La tensione V_x viene applicata (con polarità negativa in modo da compensare il segno negativo nella funzione di trasferimento) all'ingresso dell'integratore: questo determina la carica del condensatore, per cui la tensione in uscita è nella solita forma

$$r(t) = \frac{1}{RC} \int_0^t V_x dt = \frac{V_x}{RC} t$$

Si ottiene cioè la solita rampa di pendenza proporzionale al valore della tensione in ingresso. Tale rampa va in ingresso al solito **comparatore**, tramite il morsetto invertente di quest'ultimo: quando la rampa raggiunge un prefissato valore di riferimento E_r , applicato al morsetto non invertente, il comparatore cambia stato logico in uscita e comanda, tramite il successivo **flip-flop**, la chiusura rapida a massa del condensatore (tramite apposito **commutatore**), in modo da permetterne la scarica (e quindi da predisporre per l'escursione successiva).

Con questo meccanismo, l'uscita dell'integratore è una forma d'onda a dente di sega (peraltro simile a quella incontrata per gli ADC a doppia rampa), mentre l'uscita del flip-flop è una successione di impulsi di periodo T (e quindi frequenza $1/T$):



Questo treno di impulsi va in ingresso alla **porta AND**, il cui ulteriore ingresso riceve il segnale proveniente da un **divisore di frequenza**, pilotato a sua volta da un **orologio**. Fin quando il processo di carica del condensatore non è terminato, l'uscita del flip-flop è ad 1, per cui la porta AND fornisce in uscita la stessa successione di impulsi proveniente dal divisore di frequenza; gli impulsi vengono così contati dal successivo **contatore**, durante un tempo prefissato T_w .

Facciamo allora qualche passaggio (in modo analogo a quanto fatto nei precedenti paragrafi). Avendo detto che la fase di carica del condensatore prosegue fin quando la tensione a rampa raggiunge il valore E_r e avendo inoltre supposto che la scarica dello stesso condensatore sia molto veloce, possiamo ipotizzare che la durata T di ciascun *dente di sega* sia tale che

$$E_r \cong \frac{V_x}{RC} T$$

In pratica, abbiamo trascurato il tempo di scarica del condensatore, ipotizzandolo molto piccolo rispetto al tempo di carica.

Da quella relazione ricaviamo che

$$V_x = \frac{RC}{T} E_r$$

Dato che il contatore effettua il suo conteggio durante un tempo prefissato T_w (detto **finestra di osservazione**) e dato che gli impulsi si ripetono con periodo T , deduciamo che il numero di impulsi contati è $N = \frac{T_w}{T}$; da qui ricaviamo che $T = \frac{T_w}{N}$ e quindi possiamo concludere che

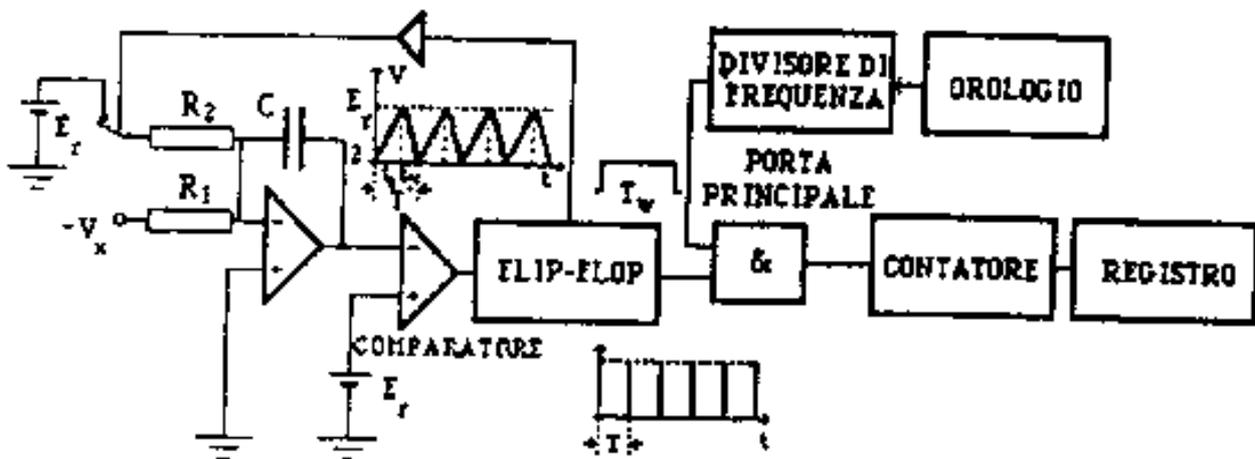
$$V_x = \frac{RC}{T_w} E_r \cdot N$$

Ancora una volta, abbiamo ottenuto la desiderata proporzionalità tra il numero di impulsi contati e la tensione analogica da convertire.

Come si intuisce dalla relazione ottenuta, l'accuratezza dell'ADC dipende anche in questo caso dalla stabilità dell'integratore (in particolare, dalla costanza di R e C), per cui, in questo senso, esso presenta gli stessi limiti di un ADC a singola rampa. Esso, però, ha un vantaggio rispetto a quest'ultimo, rappresentato proprio dalla presenza dello stadio integratore in ingresso, che consente di ottenere un buon valore del CMRR.

Convertitore tensione-frequenza a bilanciamento di carica

E' possibile eliminare la dipendenza del conteggio N dal valore della capacità C dell'integratore, che è generalmente molto sensibile alle variazioni di temperatura. A tal fine, bisogna ricorrere alla seguente soluzione circuitale:

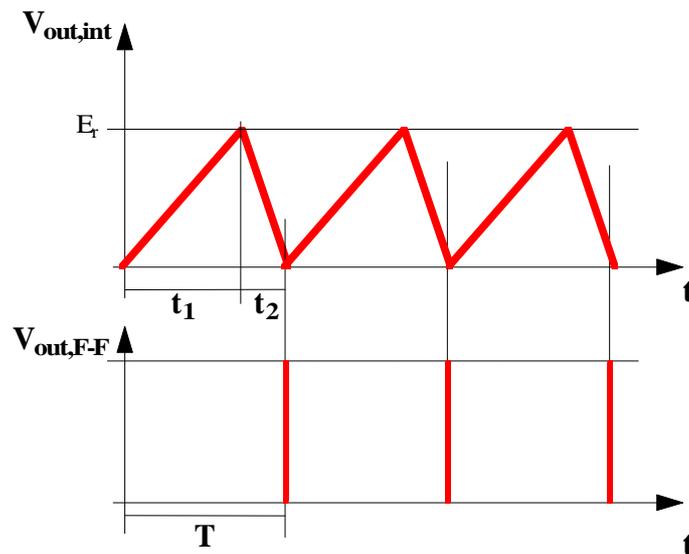


Il circuito è quasi identico al precedente, salvo la presenza di una nuova batteria di valore E_r e di un nuovo resistore R_2 , che si affianca al resistore R_1 sul quale viene applicato l'ingresso.

Anche il modo di funzionamento è simile a quello descritto prima:

- la prima fase è quella di carica del condensatore C tramite il resistore R_1 , per cui è identica al caso precedente; la carica dura un tempo t_1 necessario affinché la rampa $r(t)$ in uscita dall'integratore eguagli la tensione di riferimento E_r ;
- quando si verifica l'uguaglianza $r(t)=E_r$, interviene il flip-flop, che introduce una fase nuova rispetto al caso precedente: infatti, il flip-flop chiude l'interruttore elettronico a monte dello schema, in modo che si abbia l'integrazione contemporanea di E_r (tramite R_2) e di $-V_X$ (tramite R_1); mentre E_r dà origine ad una rampa con pendenza negativa (dato il segno negativo presente nella funzione di trasferimento dell'integratore), il segnale $-V_X$ dà origine ad una rampa positiva; tuttavia, si opera in modo tale da avere $E_r > V_X$, per cui la rampa risultante ha pendenza negativa e permette la scarica del condensatore. In pratica, si ottiene un bilanciamento della corrente di ingresso, da cui appunto il nome di **VFC a bilanciamento di carica**.

Le forme d'onda in uscita dall'integratore e in uscita dal flip-flop sono le seguenti:



Come si vede dalla figura, si distinguono, per ogni dente di sega (cioè per ogni conversione) un tempo t_1 di carica ed un tempo t_2 di scarica, la cui somma è pari al periodo della successione di impulsi in uscita dal flip-flop.

Da un punto di vista analitico, possiamo subito fare un bilancio delle cariche⁹ riferito al generico *dente di sega*: abbiamo che

$$\left\{ \begin{array}{l} Q_{\text{carica}} = \frac{V_X}{R_1 C} t_1 \cdot C = \frac{V_X}{R_1} t_1 \\ Q_1 = \frac{E_r}{R_2 C} t_2 \cdot C = \frac{E_r}{R_2} t_2 \\ Q_2 = -\frac{V_X}{R_1 C} t_2 \cdot C = -\frac{V_X}{R_1} t_2 \end{array} \right. \quad \xrightarrow{\text{bilancio}} \quad \frac{V_X}{R_1} t_1 = \frac{E_r}{R_2} t_2 - \frac{V_X}{R_1} t_2$$

da cui ricaviamo che

$$V_X = E_r \frac{R_1}{R_2} \frac{t_2}{t_1 + t_2} = E_r \frac{R_1}{R_2} \frac{t_2}{T}$$

⁹ Ricordiamo che, dimensionalmente, una carica si ottiene come prodotto di una tensione per una capacità.

Come si vede, proprio il bilanciamento delle cariche ha comportato la scomparsa del parametro C dalle equazioni di interesse.

A questo punto, con la stessa posizione $T = \frac{T_w}{N}$ fatta nel caso precedente e relativamente al conteggio effettuato dal contatore, concludiamo che

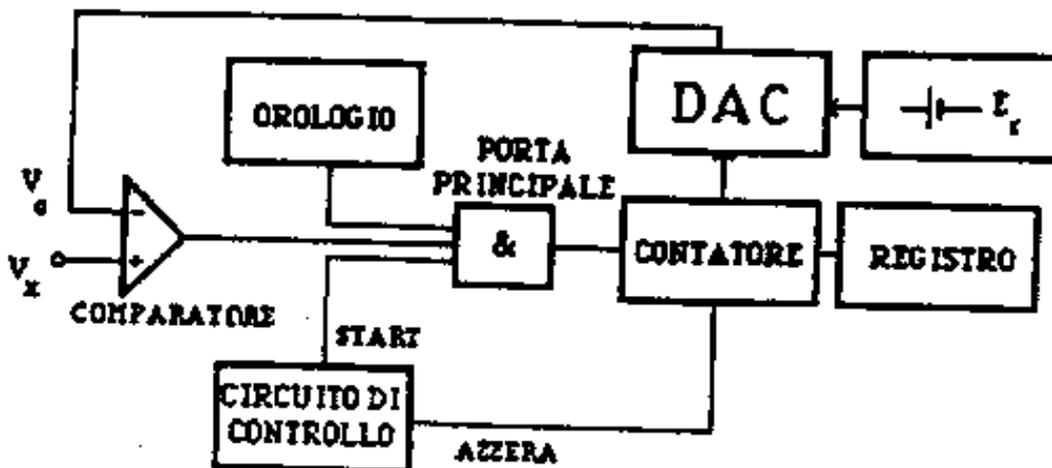
$$V_x = E_r \frac{R_1}{R_2} \frac{t_2}{T_w} N$$

Come previsto, il fattore di proporzionalità tra la tensione in ingresso ed il numero di impulsi conteggiati è indipendente dalla capacità, mentre è funzione, così come negli ADC a tre rampe, ad un rapporto di resistenze. Tra l'altro, il vantaggio di questo convertitore rispetto a quello a tre rampe è che il segnale in ingresso è operante nel corso sia della carica sia della scarica, per cui non è soggetto a operazioni di commutazione, con gli inevitabili transitori che ne derivano.

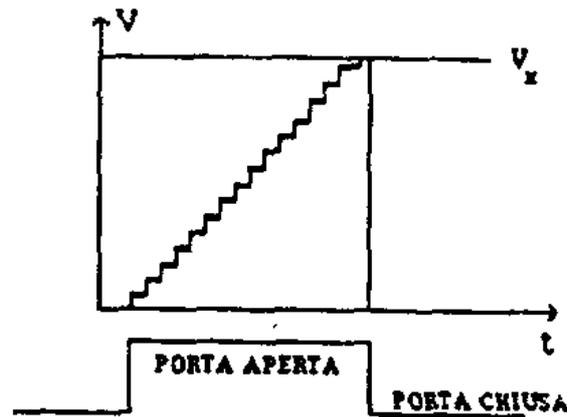
ADC A SCALA

Il metodo di conversione utilizzato negli **ADC a scala** consiste ancora nel conteggio di impulsi in uscita da una porta AND, ma si basa sul concetto di retroazione, che invece non era presente negli ADC precedentemente esaminati. Inoltre, la particolarità dei dispositivi che ci accingiamo ad esaminare è quella di presentare, proprio nell'anello di retroazione, un *convertitore digitale@analogico* (brevemente **DAC**): esso ha il compito di generare, sulla base degli impulsi ricevuti in ingresso, un segnale analogico che tenda ad approssimarsi sempre più alla tensione V_x da convertire.

Lo schema semplificato cui possiamo fare riferimento è il seguente:



Sappiamo già che un dispositivo **DAC** fornisce in uscita una tensione (indicata con V_C) a scalinata, del tipo riportato nella figura seguente:



Inizialmente, il contatore è azzerato e la tensione in uscita dal DAC è nulla. Non appena arriva in ingresso una tensione V_x non nulla, il conteggio ha inizio: infatti, tale $V_x \neq 0$ determina, in uscita dal comparatore, un 1 logico e questo “attiva” la porta AND, che si fa attraversare dagli impulsi provenienti dall’**orologio**¹⁰ e che vengono contati dal **contatore**. Ad ogni impulso, contato corrisponde un gradino in salita in uscita dal DAC, per cui prende a generarsi la tensione a scalinata di cui sopra. L’altezza dei gradini è costante ed è determinata dal valore della tensione continua di riferimento E_r .

Questo funzionamento prosegue fin quando tale scalinata risulta inferiore alla V_x in ingresso.

Quando, invece, la scalinata eguaglia la tensione in ingresso, allora il comparatore cambia stato logico e chiude la porta AND, per cui il conteggio si conclude. A questo punto, il circuito di controllo rileva la fine del conteggio e predispose il tutto per il conteggio successivo.

Analizzando analiticamente il funzionamento appena descritto, si trova che la tensione V_x in ingresso è data dal prodotto del numero N di impulsi contati per l’altezza del generico gradino, ossia quindi per la tensione continua E_r .

Questo ADC risulta molto accurato, specialmente quando si riesce a stabilizzare bene la tensione E_r , controllandola magari tramite un diodo Zener. Al contrario, gli svantaggi vengono dal fatto che, per migliorare la risoluzione e ridurre l’errore di quantizzazione, bisogna rendere piccola l’ampiezza del gradino della scalinata, ma questo allunga il periodo dell’orologio e quindi anche il tempo di conversione.

Tra l’altro, il tempo di conversione risulta legato all’entità della tensione da misurare e questo, come già detto in precedenza, non è positivo.

Inoltre, se il segnale in ingresso dovesse contenere una tensione alternata sovrapposta a quella continua, il funzionamento dell’ADC potrebbe diventare instabile; bisognerebbe perciò predisporre il solito pre-filtro all’ingresso, ma questo ridurrebbe la velocità di conversione.

Infine, dato che il comparatore presenta un’uscita alta fin quando non c’è uguaglianza tra V_C e V_X e, allo stesso tempo, presenta una bassa impedenza di ingresso, questo potrebbe causare effetti di carico sul circuito che precede l’ADC.

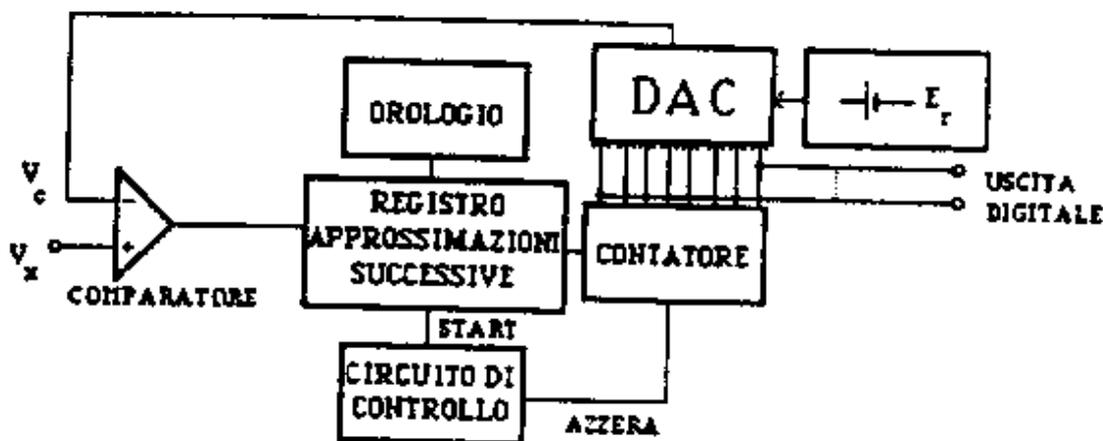
In generale, una caratteristica negativa di questo ADC è nella sua lentezza, dovuta al fatto che, una volta ottenuta la condizione $V_C = V_X$, la tensione in uscita dal DAC viene azzerata e poi fatta ripartire. Si è pensato allora di velocizzare il tutto sostituendo il contatore ad incremento con un contatore reversibile ad accumulo e decremento: con esso, una volta raggiunta la condizione $V_C = V_X$, il DAC può continuare a seguire le evoluzioni del segnale in ingresso, sia se questo aumenti sia se diminuisca. In tal modo, la velocità di conversione è notevolmente aumentata. Si parla di **ADC ad inseguimento**.

¹⁰ L’orologio genera impulsi continuamente ed a una frequenza prefissata.

ADC AD APPROSSIMAZIONI SUCCESSIVE

Il modo di funzionamento di un **ADC ad approssimazione successive** è simile a quello di un ADC a scala descritto poco fa, in quanto si sfrutta ancora una volta l'uguaglianza tra il segnale in ingresso V_X e la tensione in uscita da un DAC; la differenza sostanziale è che, in questo caso, si cerca di velocizzare il raggiungimento della suddetta uguaglianza (in modo da ridurre il tempo di conversione) tramite l'uso di gradini ad ampiezza variabile. Ovviamente, per ottenere questo, serve uno schema circuitale più complesso di quello di un ADC a scala, in quanto bisogna includere uno speciale **registro di controllo**. I valori di accuratezza e di velocità di conversione che si ottengono con questi ADC sono decisamente buoni.

Esistono varie versioni degli ADC ad approssimazioni successive. Quella più diffusa prevede un tempo di conversione costante, indipendente dall'ampiezza del segnale in ingresso. Il suo schema a blocchi è il seguente:



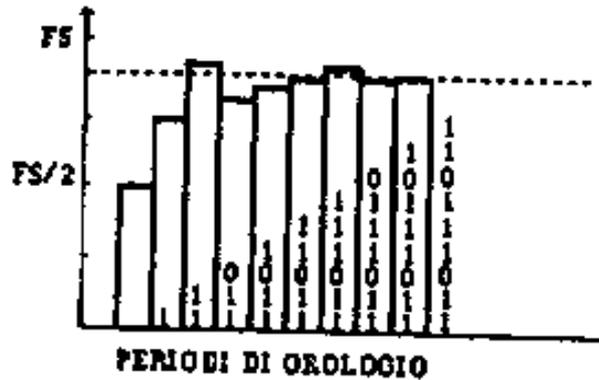
Come si vede, lo schema è molto simile a quello di un ADC a scala, con in più la presenza del **registro ad approssimazione successive**, che costituisce la fondamentale novità, e una **uscita digitale** corrispondente al dato numerico contenuto nel contatore.

Il dispositivo DAC è inserito nell'anello di retroazione del circuito digitale di controllo: quest'ultimo varia il segnale in uscita del DAC fin quando esso non eguaglia il segnale analogico in ingresso V_X . La conversione viene effettuata nell'arco di 2^n fasi, dove n è il numero di bit del convertitore: in pratica, ogni fase è caratterizzata da un gradino (in uscita dal DAC) di diversa ampiezza, secondo la sequenza $\frac{V_{FS}}{2}, \frac{V_{FS}}{4}, \frac{V_{FS}}{8}, \dots, \frac{V_{FS}}{2^n}$.

La procedura normale è quella di iniziare il confronto tra V_C e V_X con il gradino di ampiezza maggiore (quindi $V_{FS}/2$) e quindi di sommare o sottrarre quelli di ampiezza via via decrescente, a seconda che la V_C superi o no la tensione V_X :

- se, nel corso di un confronto, avendo aggiunto un generico gradino in uscita al DAC, risulta $V_X > V_C$, allora si assegna il valore 1 allo stato corrispondente del segnale digitale in uscita;
- viceversa, se il confronto rivela che $V_X < V_C$, allora lo stato assegnato è 0.

La figura seguente chiarisce il concetto:



Il primo gradino utilizzato è quello di ampiezza $V_{FS}/2$; tramite il comparatore in ingresso, viene fatto il confronto con la tensione V_X ; essendo quest'ultima, nell'esempio considerato in figura, superiore all'altezza del gradino, si assegna in uscita lo stato logico 1 e si incrementa il gradino di una quantità pari a $V_{FS}/4$; dato che il gradino risultante è ancora inferiore a V_X , si assegna nuovamente in uscita lo stato logico 1 e si procede ad un ulteriore incremento, pari a $V_{FS}/8$. A questo punto, la V_C supera V_X , per cui lo stato logico assegnato in uscita è 0; si effettua allora un decremento dell'altezza del gradino, sottraendo la quantità $V_{FS}/16$. Il procedimento prosegue finché viene applicato il gradino di ampiezza più piccola, in modo da ottenere la migliore approssimazione possibile del valore analogico V_X in ingresso.

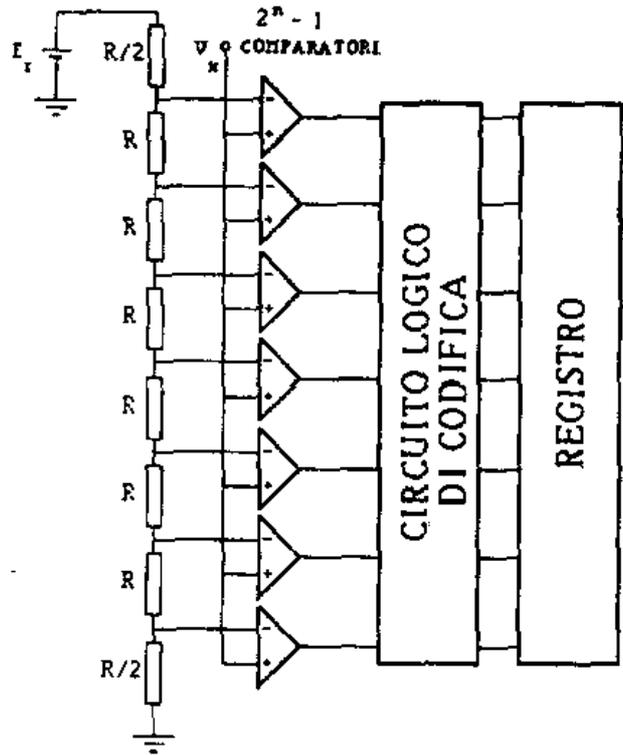
Il fatto che, comunque, la conversione termini dopo l'applicazione del gradino di ampiezza minore ($=V_{FS}/2^n$) comporta chiaramente un tempo di conversione costante, fissato solo dal numero di bit del convertitore e dal periodo dell'orologio, ossia dalla frequenza di scansione degli impulsi.

Con il meccanismo appena descritto, si ottengono buone velocità ed elevate risoluzioni: tanto per avere una idea concreta, sono in commercio dispositivi ADC ad approssimazioni successive a 16 bit con frequenza di conversione di 1 MHz.

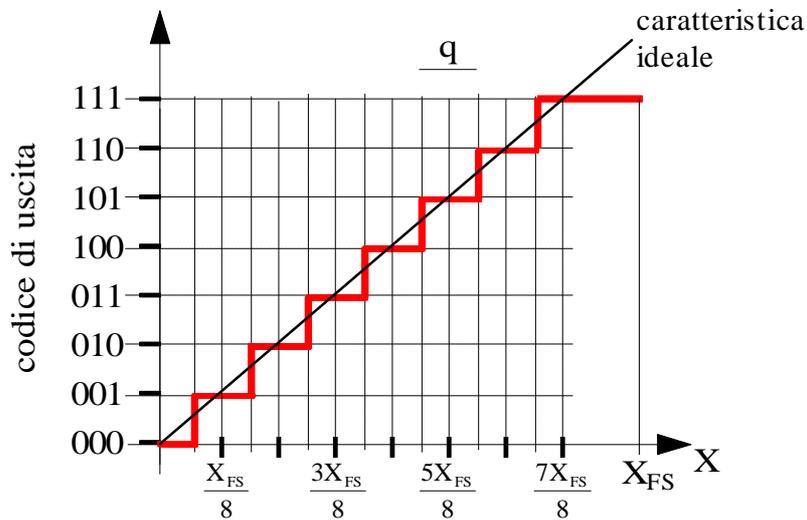
ADC PARALLELO (O FLASH)

In determinate applicazioni, come l'elaborazione di segnali video, è richiesta una velocità di conversione molto alta, per cui anche gli ADC ad approssimazioni successive risultano inadeguati. Si ricorre allora ad una **tecnica di confronto simultaneo**, che consiste nel *confrontare simultaneamente la tensione analogica V_X in ingresso con 2^n tensioni di riferimento e nel ricavare, tramite l'esito dei confronti, la corrispondente configurazione binaria*.

La figura seguente mostra ad esempio un **ADC parallelo a 3 bit**:



Per comprendere il funzionamento (peraltro molto semplice) di questo dispositivo, teniamo conto che, per un ADC a 3 bit, ci sono solo $2^n - 1$ livelli di soglia sul segnale analogico in ingresso a fronte di 2^n possibili stati di uscita, in accordo alla seguente caratteristica:



I livelli di soglia (o livelli di decisione analogica) in ascisse corrispondono, come visto in precedenza, ai fronti verticali della scalinata

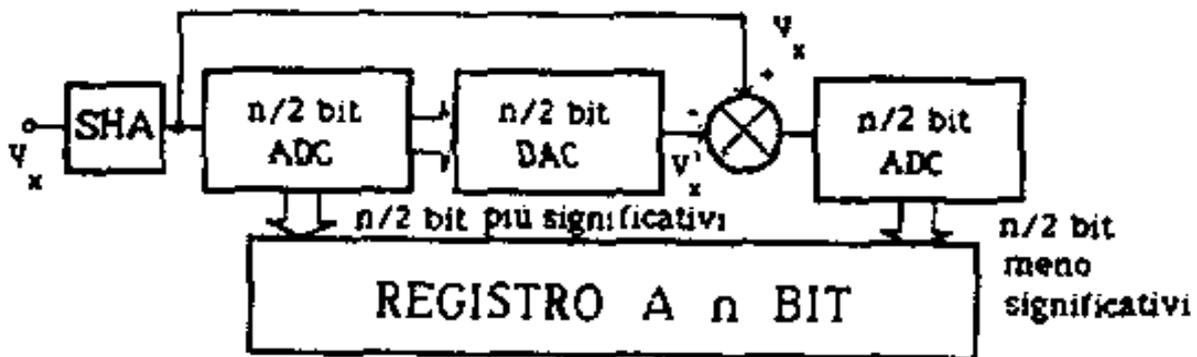
Questo spiega per quale motivo l'ADC prima raffigurato comprende solo 7 comparatori ($=2^n - 1$ per $n=3$) e 7 corrispondenti tensioni di riferimento.

Il funzionamento è semplice:

- la tensione V_X da convertire è applicata all'ingresso non invertente di tutti i comparatori, mentre all'altro ingresso di ogni comparatore è applicata una tensione via via diversa, ottenuta tramite il partitore di 2^n resistori (di cui il primo e l'ultimo di valore $R/2$ e gli altri di valore R);
- l'uscita del generico comparatore vale 0 se V_X risulta inferiore alla tensione applicata al morsetto invertente, mentre invece vale 1 in caso contrario;
- dato che tutti i comparatori cambiano stato simultaneamente, il processo di conversione avviene in parallelo in 1 unico passo; la velocità di conversione è perciò limitata solo dalla commutazione dei comparatori;
- l'esito (contemporaneo) dei vari confronti viene trasmesso ad un **codificatore binario ad n bit**, che genera il numero binario corrispondente alla V_X in ingresso e lo trasferisce nel **registro**.

Le frequenze di conversione, ottenute con questo meccanismo, arrivano fino a **100 MHz** (ottenibili con il ricorso a componenti digitali della famiglia logica ECL). A fronte di questo pregio, il limite maggiore è nella risoluzione non molto spinta: infatti, per ottenere una alta risoluzione, bisogna considerare un elevato numero di bit e quindi una crescita proporzionale del numero di componenti; ad esempio, per un ADC a $n=8$ bit, sarebbero necessari 255 comparatori e 256 resistori. Generalmente, proprio gli **8 bit** sono il limite di impiego di questo tipo di convertitori.

In realtà, in quelle applicazioni in cui si può sacrificare la velocità di conversione a vantaggio della risoluzione, si può pensare ad una configurazione del tipo seguente:



Come si vede, questo schema prevede l'uso di due ADC paralleli ciascuno ad $n/2$ bit, al fine di ottenere un unico **ADC ad n bit**.

Il segnale V_X da convertire viene in primo luogo, inviato ad un dispositivo di campionamento e tenuta (**SHA**), avente lo scopo di mantenere il segnale rigorosamente costante durante la conversione.

La tensione fornita dall' SHA va in ingresso ad un ADC parallelo ad $n/2$ bit: in base a quanto visto prima, questo ADC non fornisce la conversione completa, ma semplicemente gli $n/2$ bit più significativi della parola binaria finale. Tali bit vengono registrati (nelle corrispondenti posizioni) nel registro di uscita.

Dopo la generazione dei primi $n/2$ bit, questi ultimi vengono riconvertiti in analogico tramite un DAC (ovviamente ancora ad $n/2$ bit), generando una tensione analogica V'_X : sottraendo questa tensione a quella V_X in ingresso, si ottiene adesso la tensione analogica corrispondente agli $n/2$ bit meno significativi di V_X ; questi bit vengono quindi generati dall'altro ADC parallelo.

Nel complesso, quindi, abbiamo un ADC ad 8 bit che sfrutta l'elevata velocità di due ADC paralleli a 4 bit.

L'SHA in ingresso si rende necessario in quanto i due ADC non operano la conversione in istanti contemporanei, per cui il segnale analogico in ingresso deve mantenersi sempre costante per tutta la durata della conversione.

SISTEMI DI TELEMISURA E LINEE DI TRASMISSIONE

Spesso, le stazioni di misura si trovano geograficamente distanziate tra loro, per cui è necessario predisporre opportuni sistemi di trasmissione dati, che in questo caso prendono il nome di **sistemi di telemisura** o di **telemetria**.

Le **linee di trasmissione** devono essere considerate come elementi costituenti il sistema globale di telemisura, per cui vanno progettate specificamente in base alle caratteristiche richieste.

Un parametro fondamentale, per una linea di trasmissione, è la larghezza di banda B : infatti, in accordo alla **teoria di Shannon**, è noto che un canale di trasmissione privo di rumore può tollerare una trasmissione alla frequenza di cifra massima di **2B bit al secondo**, dove B è appunto la banda a disposizione. Ad esempio, avendo a disposizione una banda di 3100 Hz (quella tipica di un canale telefonico), si può trasmettere ad un massimo di 6200 bit/sec⁽¹¹⁾.

Dato che ogni canale reale presenta necessariamente del rumore, il valore di 2B bit al secondo diventa solo un limite ideale (non raggiungibile) cui tendere nella progettazione.

Le principali linee di trasmissione impiegate nella telemetria sono le seguenti:

- **cavo a coppia intrecciata**: si tratta di due conduttori metallici isolati ed intrecciati (al fine di proteggerli dai campi magnetici in bassa frequenza), con una guaina esterna. Spesso, la coppia di conduttori isolati è anche avvolta da un foglio metallico, per la schermatura da campi elettrici esterni. In generale, questo tipo di cavo è poco costoso, ma presenta rilevanti effetti capacitivi, che ne limitano la banda: si hanno frequenze di cifre che vanno da 1 Mbit/sec a 5 Mbit/sec, con distanze coperte comprese tra 100 m ed 1 km;
- **cavo coassiale**: abbiamo in questo caso un conduttore centrale immerso in un dielettrico, avvolto a sua volta da un conduttore cilindrico concentrico; quest'ultimo può essere compatto oppure a treccia (come nel caso del cavo comunemente usato per l'antenna TV in ambito domestico), a seconda delle desiderate caratteristiche meccaniche e di immunità dal rumore. Ovviamente, il tutto è ricoperto da una guaina protettiva. La larghezza di banda è superiore a quella del cavo a coppia intrecciata, per cui sono tollerate frequenze di cifre maggiori. Valori tipici del diametro del cavo interno sono 10 mm o poco più;
- **fibra ottica**: un simile cavo è costituito da uno o più fili (di plastica o di vetro ultrapuro), da un separatore dei diversi fili, da un rinforzante contro le sollecitazioni metalliche e da una guaina esterna di protezioni. I segnali elettrici sono trasmessi nella fibra come impulsi di luce, il che rende il cavo sia immune dai rumori di natura elettrica sia non radiativo. Con questi cavi si riescono ad ottenere elevate frequenze di cifra anche su lunghe distanze, dati i bassissimi valori di attenuazione (che dipende sia dalla frequenza di lavoro sia dal materiale usato per la fibra).

¹¹ In effetti, con le moderne tecniche di modulazione numerica queste velocità di trasmissione possono essere di gran lunga aumentate.

INTERFACCE DI TRASMISSIONE

Quando un sistema digitale è ottenuto tramite l'interconnessione di più dispositivi, è necessario predisporre opportune **interfacce digitali** per tale interconnessione. Si è così pensato di standardizzare le interfacce di principale importanza, in modo da poter connettere dispositivi digitali anche molto diversi da loro.

Interfaccia RS-232C

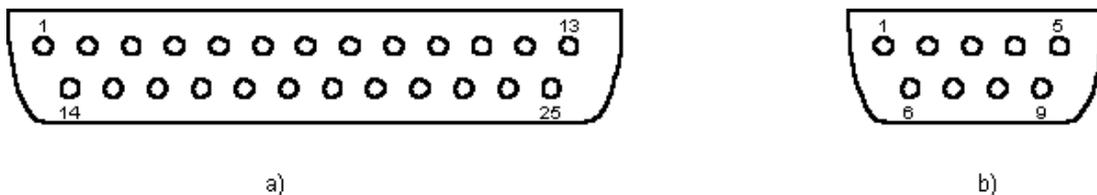
È uno standard americano, dell'EIA (Electronic Industries Associates), corrispondente alla V.24/V.28 dell'ITU-T. È uno standard di **collegamento seriale**, sia di tipo sincrono sia di tipo asincrono, tra un dispositivo di comunicazione **DCE** come, ad esempio, il modem (Data Communication Equipment) e un dispositivo terminale **DTE**, come, ad esempio, il computer (Data Terminal Equipment), per distanze inferiori ai **20 m** e per frequenze di cifra inferiori a **20 kbit/sec**.

L'interfaccia è costituita da un insieme di **25 pin**, non tutte indispensabili, che trasportano i bit di dati, i segnali di controllo (sincronizzazione e temporizzazione) e la massa.

Nel collegamento tra un computer ed un dispositivo periferico vengono adoperati dei **connettori miniatura tipo D a 25 poli**. Sul DTE (computer, ad esempio) si trova la **spina** (*connettore maschio*) mentre sul DCE (modem) si trova la **presa** (*connettore femmina*). In alcuni DCE (ad esempio, il mouse seriale), manca la presa esterna, poiché il cavo di collegamento entra direttamente nell'apparecchiatura.

Con riferimento ad un PC, i tipici dispositivi periferici che si possono collegare ad un computer via RS-232 sono il drive per dischetti, la stampante, il modem, il mouse ecc.

Nella prossima figura è mostrato il connettore a 25 poli per la RS-232C, le cui caratteristiche meccaniche sono normalizzate secondo lo standard ISO 2110 della International Standard Organization:



Connettore per la RS-232C: a) di tipo a 25 poli; b) di tipo a 9 poli.

In molte applicazioni pratiche non si utilizzano tutte le linee ma solo una piccola parte di esse. In tal caso si fa uso di un connettore ridotto a 9 poli come quello mostrato in figura.

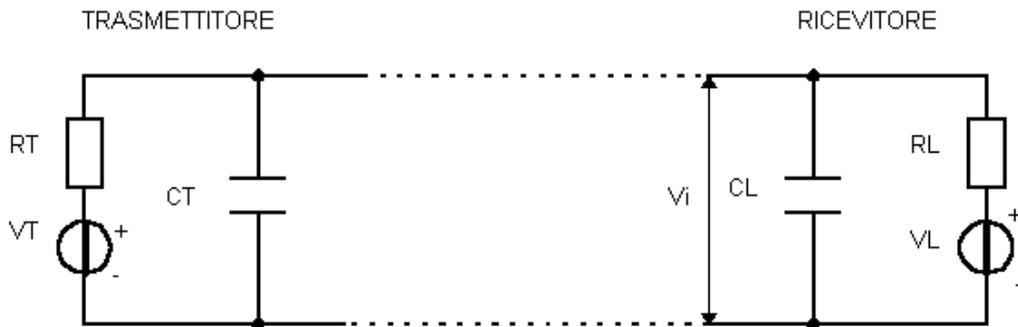
Il significato specifico delle linee (che peraltro non interessa in modo particolare in questa sede), è descritto dalla seguente tabella:

PIN (9)	PIN (25)	NOME V.24 ITU	NOME RS-232	DESCRIZIONE
	1	C101	FG	Frame ground = Massa di protezione
3	2	C103	TxD	Transmitted data = Dati in trasmissione
2	3	C104	RxD	Received data = Dati in ricezione
7	4	C105	RTS	Request to send = Richiesta di trasmissione
8	5	C106	CTS	Clear to send = Pronto a trasmettere
6	6	C107	DSR	Data set ready = DCE pronto
5	7	C102	GND	Ground = Massa dei segnali

1	8	C109	DCD	Data carrier detector = Portante in ricezione presente
	9			Riservato per apparecchi di collaudo
	10			Riservato per apparecchi di collaudo
	11	C126	CK	Scelta frequenza in trasmissione
	12	C122	SCF	Segnale di ricezione presente sul canale ausiliario
	13	C121	SCB	Pronto per la trasmissione sul canale ausiliario
	14	C118	SBA	Dati in trasmissione del canale ausiliario
	15	C114	TC	Transmit clock = Clock di trasmissione dal modem
	16	C119	SBB	Dati in ricezione del canale ausiliario
	17	C115	RC	Received clock = Clock di ricezione
	18			Non connesso
	19	C120	SCA	Richiesta di trasmissione del canale ausiliario
4	20	C108	DTR	Data terminal ready = DTE pronto
	21	C110	CG	Rivelatore della qualità del segnale
9	22	C125	RI	Ring indicator = Chiamata in arrivo
	23	C111	CI	Selezione velocità di trasmissione da DTE
	24	C113	DA	Clock di trasmissione da DTE
	25			Non connesso

Questa tabella evidenzia, per esempio, che solo le linee 2 e 3 vanno usate per la trasmissione dati (rispettivamente per trasmissione e ricezione).

Ad ogni modo, qualunque sia la linea (dati, clock o controlli), il circuito elettrico equivalente di tale interfaccia tra il trasmettitore e il ricevitore è quello indicato nella figura seguente:



dove si sono fatte le seguenti posizioni:

- V_T = f.e.m. del trasmettitore a circuito aperto;
- R_T = Resistenza interna del trasmettitore;
- C_T = Capacità equivalente del trasmettitore;
- C_L = Capacità equivalente del ricevitore;
- R_L = Resistenza d'ingresso del ricevitore;
- V_L = f.c.e.m. del ricevitore a circuito aperto;
- V_i = d.d.p. all'interfaccia.

Secondo lo standard, si definisce **mark** la tensione V_i di valore inferiore a $-3V$ e si definisce **space** quella superiore a $+3V$. Durante la trasmissione, si associa il livello logico 1 a mark e il livello logico 0 a space. Si osserva perciò subito che i livelli logici sono bipolari e **in logica negativa** (tensione positiva=0; tensione negativa=1). Tipicamente i valori di tensione assunti sono $\pm 12V$.

La resistenza di carico del ricevitore R_L deve essere compresa tra 3K e 7K, la capacità C_L in parallelo al carico deve essere inferiore a 2.5nF e la f.c.e.m. V_L non deve superare i 2V.

La f.e.m. V_T del driver del trasmettitore non deve superare i 25V; R_T e C_T non sono specificati ma devono essere tali da evitare una corrente di corto circuito superiore a 0.5A e da consentire una V_i compresa tra 5 e 15V.

Poiché la capacità per unità di lunghezza di un cavo è di circa 200 pF/metro, si evince che la massima distanza tra i dispositivi collegati in tale standard non deve superare i 12-15 metri.

Lo standard definisce anche i livelli di segnali, le condizioni e le polarità per ogni connessione dell'interfaccia. Ad esempio, per quanto riguarda i livelli di tensione corrispondenti agli stati logici 1 e 0, lo standard dice quanto segue (si tenga presente che la logica è negativa):

1 logico per il trasmettitore: tensione di uscita compresa tra -15V e - 5V;

0 logico per il trasmettitore: tensione di uscita compresa tra 0V e 5V;

1 logico per il ricevitore: tensione di ingresso inferiore a -3V;

0 logico per il ricevitore: tensione di ingresso superiore a 3V.

Da questi valori consegue un margine di rumore di 2V.

Interfaccia RS-449

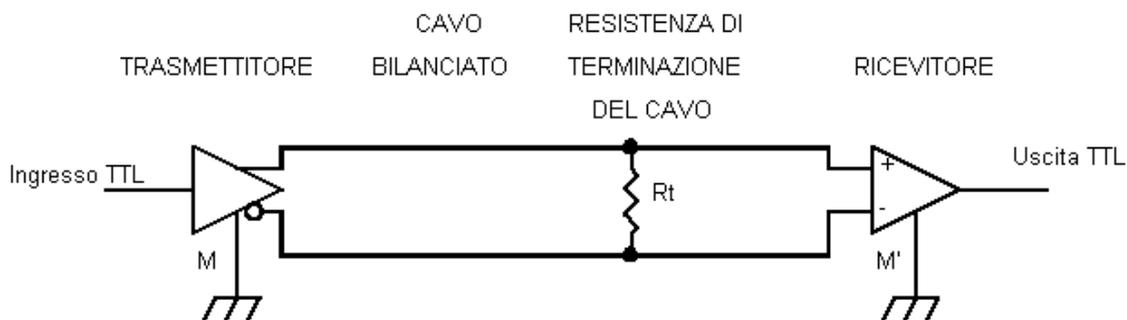
Si tratta di una interfaccia innovativa che svolge diverse funzioni. Essa presenta un connettore principale con 37 pin ed uno ausiliario con 9 pin per l'interscambio tra canali secondari. Le frequenze di cifre arrivano fino a 2Mbit/sec, il che determina la graduale prevalenza di questa interfaccia rispetto alla RS-232C ed a quelle che saranno descritte nei prossimi paragrafi.

Interfacce RS-423A e RS-422A

Tali interfacce vengono usate per lavorare in ambienti ad elevato rumore, per collegamenti a distanza compresa tra alcune decine di metri ed alcuni Km, con velocità di trasmissione fino a 10Mbit/sec. Sia il trasmettitore che il ricevitore sono, per lo più, disponibili in forma integrata.

Lo standard EIA RS-422-A utilizza tensioni bilanciate mentre lo standard EIA RS-423-A utilizza tensioni sbilanciate.

Nella figura seguente si mostra il collegamento bilanciato tra un trasmettitore e un ricevitore nello standard **RS-422A**:



Collegamento secondo lo standard RS-422A

L'interfaccia RS-422A collega una sola coppia trasmettitore-ricevitore.

L'uscita del trasmettitore è a livello logico 1 (mark) se la differenza di potenziale tra l'uscita non invertente e quella invertente è negativa e compresa tra -6V e -2V; l'uscita si trova invece al livello logico 0 (space) se tale d.d.p. è positiva e compresa tra 2V e 6V.

L'impedenza di uscita del trasmettitore deve essere inferiore a 100Ω e la corrente di uscita di cortocircuito non deve superare il valore di 150mA. M e M' sono, rispettivamente, la massa del trasmettitore e del ricevitore; tra loro è presente una d.d.p.

Il cavo di connessione deve avere impedenza caratteristica intorno a 100Ω per frequenze superiori a 100 kHz e resistenza in continua inferiore a 240Ω . Il classico doppino telefonico soddisfa questi requisiti.

La resistenza di terminazione R_t è opzionale e di valore coincidente con l'impedenza caratteristica del cavo al fine di impedire fenomeni di riflessioni.

Il ricevitore è costituito da uno stadio differenziale con impedenza di ingresso superiore a $4k\Omega$ e dotato di un buon CMRR al fine di eliminare gli eventuali segnali di modo comune.

L'interfaccia funziona correttamente per le seguenti coppie massima lunghezza - frequenza di cifra:

- 1,2 km - 100 kbit/sec
- 120 m - 1 Mbit/sec
- 12 m - 10 Mbit/sec

Al diminuire della distanza, aumenta la velocità di trasmissione e viceversa.

Nella prossima figura si mostra invece il collegamento sbilanciato tra un trasmettitore e un ricevitore nello standard **RS-423A**:



Il trasmettitore deve avere impedenza di uscita inferiore a 50Ω e deve produrre sul cavo di collegamento una d.d.p. compresa tra 4V e 6V. La tensione di uscita, rispetto a massa, deve essere negativa nello stato logico 1 (mark) e positiva nello stato logico 0 (space). La corrente d'uscita di cortocircuito deve essere inferiore a 150mA.

Il segnale d'ingresso del ricevitore è la differenza di potenziale tra l'uscita e la massa M del trasmettitore. Per quanto riguarda, invece, i livelli logici del ricevitore, abbiamo un 1 logico per tensione di ingresso compresa tra -0.2V e -6V, mentre abbiamo uno 0 logico quando la tensione di ingresso è compresa tra 0.2V e 6V.

Il cavo di connessione e il circuito ricevitore hanno le medesime caratteristiche descritte a proposito dello standard bilanciato RS-422A.

La massima distanza operativa è legata all'interferenza tra circuiti adiacenti in quanto i circuiti sbilanciati sono sensibili a qualsiasi rumore differenziale. Aumentando la distanza fra trasmettitore e ricevitore aumenta l'influenza del rumore di modo comune.

L'interfaccia funziona correttamente per le seguenti coppie massima lunghezza - frequenza di cifra:

1,2 km - 90 kbit/sec
120 m - 10 kbit/sec
12 m - 100 kbit/sec

Come si nota, sono valori inferiori a quelli ottenuti per la RS-422A.

Interfacce parallele

Le interfacce parallele consentono la trasmissione simultanea di parole di dati digitali su linee parallele. Dato che una linea è utilizzata per ogni bit, la totale trasmissione di una parola avviene in un solo ciclo di orologio, consentendo una notevole velocità, specialmente in confronto alle interfacce seriali.

Le linee parallele possono essere di diverso tipo. Quella più nota è la **IEEE-488** (detta anche interfaccia IEC o HP-IB o GP-IB o ASCII bus): è flessibile e presenta un cavo multinucleo in grado di collegare da 2 a 15 dispositivi.

I singoli dispositivi connessi scambiano dati in modo asincrono. Tali dispositivi hanno solo tre possibili funzioni in relazione con l'interfaccia:

- un solo dispositivo alla volta può essere nello stato di **parlatore attivo**, per cui il messaggio sul bus può provenire solo da esso;
- ci possono essere invece più **ascoltatori** contemporanei, pronti quindi a ricevere il messaggio sul bus;
- un solo dispositivo può infine comportarsi da **controllore**, in grado di indirizzare selettivamente gli altri dispositivi nel sistema in modo da svolgere il ruolo o di parlatore oppure di ascoltatore.

Il **bus** è a **16 linee**, di cui 8 per i dati (**bus dati**), 3 per il controllo (**bus controllo trasferimento dati**) e 5 per il controllo generale (**bus controllo generale**).

Vi sono inoltre 7 pin per i più opportuni collegamenti a massa.

Le distanze massime consentite sono di **20 m**, ma possono essere allungate tramite un dispositivo **estensore**, che converte i dati in forma seriale.

La massima frequenza di cifra è di **1 Mbyte/sec**, dove l'uso del byte al posto del bit deriva proprio dal fatto di usare una trasmissione parallela al posto di quella seriale.

I livelli dei segnali elettrici sono quelli della famiglia logica TTL sia per il trasmettitore sia per il ricevitore: quindi lo 0 logico corrisponde a tensioni superiori a 2V, mentre l'1 logico corrisponde a tensioni inferiori a 0.8V. Ad ogni modo, tutte le pari del sistema possono essere realizzate tramite famiglie logiche di qualsiasi tipo.

Autore: **SANDRO PETRIZZELLI**
e-mail: sandry@iol.it
sito personale: <http://users.iol.it/sandry>
succursale: <http://digilander.iol.it/sandry1>